

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-050197

(43) Date of publication of application : 21.02.1995

---

(51)Int.Cl. H05B 33/22

(21) Application number : 05-327981

(71) Applicant : WESTAIM TECHNOL INC

(22) Date of filing : 24.12.1993

(72) Inventor : WU XINGWEI  
STILES JAMES A R  
FOO KEN K  
BAILEY PHILLIP

---

(30) Priority

Priority number : 92 996547 US  
93 52702 US

Priority date : 24.12.1992  
30.04.1993

---

(54) EL LAMINATED DIELECTRIC LAYER STRUCTURE BODY,  
METHOD FOR FORMATION THEREOF, METHOD FOR DRAWING  
PATTERN BY LASER, AND DISPLAY PANEL

(57) Abstract:

PURPOSE: To evenly apply voltage to a phosphor layer and improve the electroluminescence efficiency by combining a thick dielectric layer having a prescribed dielectric strength and a specified high dielectric constant with a thin phosphor layer with a low dielectric constant.

CONSTITUTION: Back side electrodes 14 are arranged in a substrate, a thick dielectric layer 18 and a thin dielectric layer 20 are formed on the electrodes, and then a phosphor layer 22 and a transmissive front side electrode layer 24 are successively formed. The dielectric layers 18, 20 are flat ceramic layers and have dielectric strength  $1.0 \times 10^6$  V/m or higher dielectric constant ratio to a phosphor 50:1 or more, and the thickness ratio to that of the phosphor layer 22 within a range from (20:1) to (500:1). With such a structure, the electroluminescent (EL) laminated layers have different dielectric constants and the interlayer potential difference is proportional to the thickness of each layer and inversely proportional to the relative dielectric constants of the materials for respective materials and utilizing these properties and dispersive property, voltage flowing in pixels before electricity application to the phosphor layer can be applied to the whole body of the phosphor layer and the electroluminescence efficiency is thus improved.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7-50197

(43) 公開日 平成7年(1995)2月21日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 5 B 33/22

審査請求 未請求 請求項の数 9 2 O L

(全 2 6 頁)

(21) 出願番号 特願平5-327981

(22) 出願日 平成5年(1993)12月24日

(31) 優先権主張番号 07/996547

(32) 優先日 1992年12月24日

(33) 優先権主張国 米国 (U S)

(31) 優先権主張番号 08/052702

(32) 優先日 1993年4月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 593232527

ウェステイム テクノロジーズ インコー  
ポレイテッド

カナダ国 アルバータ フォート サスカ  
トゥワン ボックス 1000

(72) 発明者 シンウェイ ウー

カナダ国 アルバータ エドモントン 1  
4504-37 ストリート (番地なし)

(72) 発明者 ジェイムズ アレクサンダー ロバート  
スタイルズ

カナダ国 アルバータ エドモントン 1  
2719-39 アヴェニュー (番地なし)

(74) 代理人 弁理士 矢野 敏雄 (外2名)

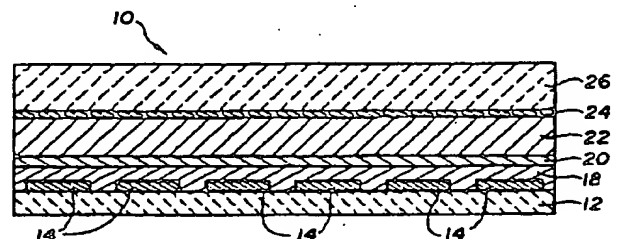
最終頁に続く

(54) 【発明の名称】 E L ラミネート誘電層構造体および該誘電層構造体生成方法ならびにレーザパターン描画方法およびディスプレイパネル

(57) 【要約】

【目的】 エレクトロルミネセンスラミネートの誘電層を改善する。

【構成】 誘電層は厚膜層としてセラミック材料から生成される。この場合、約  $1.0 \times 10^6$  V/m の絶縁耐力と、誘電材料の誘電率と燐光層の誘電率との比が約 50 : 1 よりも大きくなるような誘電率を有する。また、誘電層の厚さと燐光層の厚さの比が約 20 : 1 ~ 50 : 1 の範囲内になるような厚さを有する。さらに、燐光層と両立性があり、この燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである、燐光層と隣接する表面を有する。



## 【特許請求の範囲】

【請求項 1】 前面電極と背面電極との間に挟まれた燐光層を有し、前記背面電極は基板上に形成されており、前記燐光層は誘電層により背面電極から分離されている形式の、Eシラミネート誘電層構造体において、セラミック材料により生成された平坦な層を有しており、該層は、約  $1.0 \times 10^6$  V/m よりも大きい絶縁耐力と誘電材料の誘電率と燐光体の誘電率の比が 50 : 1 よりも大きくなるような誘電率を有しており、前記誘電層は、当該誘電層の厚さと前記燐光層の厚さの比が約 20 : 1 ~ 500 : 1 の範囲内になるような厚さを有し、該誘電層は、前記燐光層と両立性があり該燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである、前記燐光層に隣接する平面を有することを特徴とする、Eシラミネート誘電層構造体。

【請求項 2】 誘電材料の誘電率と燐光材料の誘電率との比は約 100 : 1 よりも大きく、前記誘電層は、当該誘電層の厚さと燐光層の厚さとの比が約 40 : 1 ~ 300 : 1 の範囲内になるような厚さを有する、請求項 1 記載の誘電層構造体。

【請求項 3】 透過性の前面電極と背面電極との間に挟まれており、前記誘電層により背面電極と分離されている薄膜燐光層を有する形式のエレクトロルミネセンスラミネート中に設けられている、請求項 1 記載の誘電層構造体。

【請求項 4】 約 500 よりも大きい誘電率と約 10 ~ 300 ミクロンの範囲内の厚さを有する、請求項 3 記載の誘電層構造体。

【請求項 5】 少なくとも 2 つの層により形成されており、第 1 の誘電層は背面電極上に生成されており、請求項 4 記載の絶縁耐力と誘電率の値を有し、第 2 の誘電層は第 1 の誘電層上に生成されており、請求項 1 記載の燐光層に隣接した平面を有し、前記の第 1 および第 2 の誘電層は合わせて請求項 4 記載の厚さを有する、請求項 4 記載の誘電層構造体。

【請求項 6】 前記の第 1 および第 2 の誘電層は強誘電性セラミック材料から成る、請求項 5 記載の誘電層構造体。

【請求項 7】 前記第 2 の誘電層は、少なくとも 20 の誘電率と少なくとも約 2 ミクロンの厚さを有する、請求項 5 記載の誘電層構造体。

【請求項 8】 前記の第 1 の誘電層は少なくとも 100 の誘電率を有し、前記第 2 の誘電層は少なくとも 10 の誘電率を有する、請求項 7 記載の誘電層構造体。

【請求項 9】 前記第 1 の誘電層は約 20 ~ 150 ミクロンの範囲内の厚さを有し、前記第 2 の誘電層は約 2 ~ 10 ミクロンの範囲内の厚さを有する、請求項 8 記載の誘電層構造体。

【請求項 10】 前記の第 1 および第 2 の誘電層は、ベ

ロブスカイト結晶構造を有する強誘電性のセラミック材料により生成されている、請求項 9 記載の誘電層構造体。

【請求項 11】 前記第 1 の誘電層は、厚膜技術およびこれに続く背面電極の融点よりも低い温度での焼結により生成される、請求項 5、6 または 10 記載の誘電層構造体。

【請求項 12】 前記第 1 の誘電層はスクリーン印刷により生成される、請求項 11 記載の誘電層構造体。

【請求項 13】 前記第 2 の誘電層は、ゾル・ゲル技術での生成およびこれに続く背面電極の融点よりも低い温度での焼結により生成される、請求項 11 記載の誘電層構造体。

【請求項 14】 前記第 2 の誘電層は、スピンドロポジションまたは浸せきを含むゾル・ゲル技術およびこれに続く背面電極の融点よりも低い温度での焼結により生成される、請求項 12 記載の誘電層構造体。

【請求項 15】 前記第 1 の誘電層はニオブ酸鉛から成り、前記第 2 の誘電層はジルコル酸-チタン酸鉛またはランタン酸-ジルコル酸-チタン酸鉛から成る、請求項 5、6 または 10 記載の誘電層構造体。

【請求項 16】 前記第 1 の誘電層はニオブ酸鉛から成り、前記第 2 の誘電層はジルコル酸-チタン酸鉛またはランタン酸-ジルコル酸-チタン酸鉛から成る、請求項 11 記載の誘電層構造体。

【請求項 17】 前記第 1 の誘電層はニオブ酸鉛から成り、前記第 2 の誘電層はジルコル酸-チタン酸鉛またはランタン酸-ジルコル酸-チタン酸鉛から成る、請求項 14 記載の誘電層構造体。

【請求項 18】 焼結温度に耐え得る基板上に生成された背面電極を有するラミネート中に設けられている、請求項 14 記載の誘電層構造体。

【請求項 19】 前記基板はアルミナである、請求項 18 記載の誘電層構造体。

【請求項 20】 燐光層に隣接する誘電層の表面は、約 1000 ミクロンよりも大きく約 0.5 ミクロンより大きく異ならない表面起伏を有する、請求項 4、5 または 14 記載の誘電層構造体。

【請求項 21】 アルミナ基板上的銀/プラチナのアドレシ線路から成る背面電極とインジウムスズ酸化物のアドレシ線路から成る前面電極とを有するラミネート中に設けられている、請求項 17 記載の誘電層構造体。

【請求項 22】 前面電極上部にシール層を有するラミネート中に設けられている、請求項 21 記載の誘電層構造体。

【請求項 23】 前面電極と背面電極との間に挟まれた燐光層を有し、前記背面電極は基板上に生成され、前記燐光層は誘電層により背面電極と分離されている形式のエレクトロルミネセンスラミネート中の誘電層構造体を生成する方法において、

約  $1.0 \times 10^6$  V/m よりも大きい絶縁耐力と、誘電層の厚さと燐光層の厚さとの比が約 20:1~500:1 の範囲内になるような厚さを有する誘電層を生成するために、誘電材料の誘電率と燐光材料の誘電率の比が約 50:1 よりも大きくなるような誘電率を有するセラミック材料を、厚膜技術およびこれに続く焼結により背面電極上にディボジットし、

当該誘電層は、エレクトロルミネセンス層と両立性があり前記燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである、前記燐光層と隣接する平面を生成することを特徴とする、誘電層を生成する方法。

【請求項 24】 誘電材料の誘電率と燐光材料の誘電率との比は約 100:1 よりも大きく、誘電層の厚さと燐光層の厚さとの比は約 40:1~300:1 の範囲内である、請求項 23 記載の方法。

【請求項 25】 前記誘電層は、透過性の前面電極と背面電極との間に挟まれており当該誘電層により背面電極と分離されている薄膜燐光層を有する形式のエレクトロルミネセンスラミネート中に生成される、請求項 23 記載の方法。

【請求項 26】 セラミック材料の誘電率は約 500 よりも大きく、誘電層の厚さは約 10~300 ミクロンの範囲内にある、請求項 25 記載の方法。

【請求項 27】 前記誘電層は少なくとも 2 つの層として形成され、第 1 の誘電層は厚膜技術で背面電極上にディボジットされ請求項 26 記載の絶縁耐力と誘電率の値を有し、第 2 の誘電層は、請求項 23 記載の燐光層と隣接する面を形成するために第 1 の誘電層上にディボジットされ、第 1 および第 2 の誘電層は合わさって請求項 26 記載の厚さを有する、請求項 26 記載の方法。

【請求項 28】 前記の第 1 および第 2 の誘電層は、強誘電性セラミック材料により生成される、請求項 27 記載の方法。

【請求項 29】 前記第 2 の誘電層は少なくとも 20 の誘電率と少なくとも約 2 ミクロンの厚さを有する、請求項 27 記載の方法。

【請求項 30】 前記第 1 の誘電層は少なくとも 100 の誘電率を有し、前記第 2 の誘電層は少なくとも 100 の誘電率を有する、請求項 29 記載の方法。

【請求項 31】 前記第 1 の誘電層は約 20~150 ミクロンの範囲内の厚さを有し、前記第 2 の誘電層は約 2~10 ミクロンの範囲内の厚さを有する、請求項 30 記載の誘電層。

【請求項 32】 前記の第 1 および第 2 の誘電層は、ペロブスカイト結晶構造を有する強誘電性セラミック材料により生成される、請求項 31 記載の誘電層。

【請求項 33】 前記第 1 の誘電層は厚膜技術でディボジットされ、次に背面電極の融点よりも低い温度で焼結される、請求項 27、28 または 32 記載の方法。

【請求項 34】 前記第 1 の誘電層はスクリーン印刷で

ディボジットされる、請求項 33 記載の方法。

【請求項 35】 前記第 2 の誘電層はゾル・ゲル技術でディボジットされ、次に背面電極の融点よりも低い温度で焼結される、請求項 33 記載の方法。

【請求項 36】 前記第 2 の誘電層は、スピンディボジションまたは浸せきを含むゾル・ゲル技術でディボジットされ、次に背面電極の融点よりも低い温度で焼結される、請求項 34 記載の方法。

【請求項 37】 第 1 の誘電層はニオブ酸鉛により生成され、第 2 の誘電層はジルコン酸-チタン酸鉛またはランタン酸-ジルコン酸-チタン酸鉛により生成される、請求項 27、28 または 32 記載の方法。

【請求項 38】 前記第 1 の誘電層はニオブ酸鉛により生成され、前記第 2 の誘電層はジルコル酸-チタン酸鉛またはランタン酸-ジルコル酸-チタン酸鉛により生成される、請求項 33 記載の方法。

【請求項 39】 前記第 1 の誘電層はニオブ酸鉛により生成され、前記第 2 の誘電層はジルコル酸-チタン酸鉛またはランタン酸-ジルコル酸-チタン酸鉛により生成される、請求項 36 記載の方法。

【請求項 40】 前記誘電層は、焼結温度に耐え得る基板上に生成された背面電極を有するラミネート中に生成される、請求項 36 記載の方法。

【請求項 41】 前記基板はアルミナである、請求項 40 記載の方法。

【請求項 42】 燐光層に隣接する前記誘電層の面は、約 1000 ミクロンよりも大きく約 0.5 ミクロンより大きく異ならない表面起伏を有する、請求項 26、27 または 36 記載の方法。

【請求項 43】 前記誘電層は、アルミナ基板上的の銀/プラチナのアドレス線路で形成された背面電極と、インジウムスズ酸化物のアドレス線路で形成された前面電極とを有するラミネート中に生成される、請求項 39 記載の方法。

【請求項 44】 前記誘電層は、前面電極上部にシール層を有するラミネート中に生成される、請求項 39 記載の方法。

【請求項 45】 平坦なエレクトロルミネセンスラミネートから電圧駆動回路への電気接続を行なわせるエレクトロルミネセンスディスプレイパネルにおいて、交差するアドレス線路の前面のセットと背面のセットとの間に挟まれた燐光層が設けられており、前記背面アドレス線路は基板上に形成されており、前記燐光層は誘電層により背面アドレス線路から、および必要に応じて前面アドレス線路から分離されており、前記基板は複数個のスルーホールを形成し、各アドレス線路を電圧駆動回路と接続するために、基板中のスルーホールの各々を貫通してアドレス線路の各々へ至る導体路を成す手段が設けられていることを特徴とする、エレクトロルミネセンスディスプレイパネル。

【請求項 4 6】 前記電圧駆動回路は電圧駆動コンポーネントを有しており、該コンポーネントの出力側はスルーホールを介してアドレス線路と接続されており、前記コンポーネントは基板の背面上に取り付けられている、請求項 4 5 記載のディスプレイパネル。

【請求項 4 7】 導体路を成す前記の手段は、スルーホールの各々にディポジットされ基板の各側上に前面コネクタ路と背面コネクタ路とを形成する導電性部材と、前記の前面コネクタ路とアドレス線路の各々との間に設けられた導電性部材とを有する、請求項 4 6 記載のディスプレイパネル。

【請求項 4 8】 前記基板は、約 850° C の温度に耐え得る材料から成る、請求項 4 7 記載のディスプレイパネル。

【請求項 4 9】 前記基板は不透明である、請求項 4 8 記載のディスプレイパネル。

【請求項 5 0】 前記基板はアルミナである、請求項 4 8 記載のディスプレイパネル。

【請求項 5 1】 前記基板は概して方形であり、前記スルーホールは、少なくとも 2 つの側においてアドレス線路端部に隣接する基板の周囲に形成されている、請求項 4 7 記載のディスプレイパネル。

【請求項 5 2】 前記の導電性部材は焼成された厚膜ペーストである、請求項 5 1 記載のディスプレイパネル。

【請求項 5 3】 背面アドレス線路へ至る導電性部材は銀／プラチナであり、前面アドレス線路へ至る導電性部材は銀である、請求項 5 2 記載のディスプレイパネル。

【請求項 5 4】 スルーホールの各々を貫通する導体路を成す前記の手段は、基板背面上に 1 つの回路パターンで印刷され、前面導体路と背面導体路とを形成するために基板中のホールを貫通して引き出される第 1 の焼成された厚膜導電性ペーストと、前面コネクタ路とアドレス線路との間に設けられた第 2 の焼成された導電性ペーストとを有する、請求項 4 6 記載のディスプレイパネル。

【請求項 5 5】 電圧駆動回路は電圧駆動コンポーネントを有しており、前記回路パターンによりさらに、電圧駆動コンポーネントの出力側の電気接続用コネクタ路と駆動回路へ至るコネクタ路が形成される、請求項 5 4 記載のディスプレイパネル。

【請求項 5 6】 前記基板は概して方形であり、前記スルーホールは、少なくとも 2 つの側でアドレス線路端部と隣接する基板の周囲に形成されている、請求項 5 5 記載のディスプレイパネル。

【請求項 5 7】 前記第 1 の厚膜ペーストは銀プラチナペーストであり、前記第 2 の厚膜ペーストは銀ペーストである、請求項 5 6 記載のディスプレイパネル。

【請求項 5 8】 誘電層はセラミック材料から成る平坦な層を有しており、該層は、約  $1.0 \times 10^9$  V/m よりも大きい絶縁耐力と、誘電材料の誘電率と燐光体の誘

電率との比が約 50 : 1 よりも大きくなるような誘電率を有し、前記誘電層は、当該誘電層の厚さと燐光層の厚さとの比が約 20 : 1 ~ 500 : 1 の範囲内になるような厚さを有し、かつ当該誘電層は、燐光層と両立性があり該燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである、燐光層と隣接した面を有する、請求項 5 4 記載のディスプレイパネル。

【請求項 5 9】 前記誘電層は少なくとも 2 つの層から成り、第 1 の誘電層は背面電極上に生成されており、約 500 よりも大きい誘電率と 10 ~ 300 ミクロンの範囲内の厚さを有し、第 2 の誘電層は第 1 の誘電層上に生成されており、請求項 5 8 記載の燐光層と隣接する面を有しており、前記の第 1 および第 2 の誘電層は合わせて約 10 ~ 300 ミクロンの厚さを有する、請求項 5 8 記載のディスプレイパネル。

【請求項 6 0】 前記の第 1 および第 2 の誘電層は、ペロブスカイト結晶構造を有する強誘電性セラミック材料から成り、前記第 1 の誘電層は少なくとも 1000 の誘電率と約 20 ~ 150 ミクロンの厚さを有し、前記第 2 の誘電層は少なくとも 100 の誘電率と 2 ~ 10 ミクロンの厚さを有する、請求項 5 9 記載のディスプレイパネル。

【請求項 6 1】 前記第 1 の誘電層はスクリーン印刷と厚膜誘電ペーストの焼結により生成され、前記第 2 の誘電層はゾル・ゲル技術とこれに続く焼成により生成される、請求項 6 0 記載のディスプレイパネル。

【請求項 6 2】 前記第 1 の誘電層はニオブ酸鉛から成り、前記第 2 の誘電層はジルコン酸-チタン酸鉛またはランタン酸-ジルコン酸-チタン酸鉛から成る、請求項 6 1 記載のディスプレイパネル。

【請求項 6 3】 少なくとも 1 つのオーバーレイ層と少なくとも 1 つのアンダーレイ層とを有する平坦なラミネートにパターンをレーザ描画する方法において、フォーカシングされたレーザビームをラミネートのオーバーレイ層側に印加し、アンダーレイ層の少なくとも一部分は直接的に除去されるが、オーバーレイ層は間接的にその厚さ方向全体で除去されるように、前記レーザビームは、オーバーレイ層により実質的に吸収されないがアンダーレイ層により吸収される波長を有する特徴とする、平坦なラミネートにパターンをレーザ描画する方法。

【請求項 6 4】 前記オーバーレイ層は可視光に対し透過性であり、前記アンダーレイ層は可視光に対し非透過性であり、前記レーザビームの波長は電磁スペクトルの可視または赤外線領域にある、請求項 6 3 記載の方法。

【請求項 6 5】 前記の層の組成および厚さは、

$$\sum_i \alpha_{ui} T_{ui} > \sum_i \alpha_{oi} T_{oi}$$

であり、ここにおいて、 $\alpha_{ui}$  はアンダーレイ層の吸収率、 $\alpha_{oi}$  はオーバーレイ層の吸収率、 $T_{ui}$  はアンダーレイ層の厚さ、 $T_{oi}$  はオーバーレイ層の厚さである、請求

項63記載の方法。

【請求項66】 前記の層は、オーバーレイ層はアンダーレイ層よりも低い温度で気化されるようにして構成されている、請求項65記載の方法。

【請求項67】 前記の層は、オーバーレイ層はアンダーレイ層よりも高い熱伝導性を有するよう構成されている、請求項66記載の方法。

【請求項68】 前記オーバーレイ層は透過性の導電性部材であり、該部材へ電極パターンが描画される、請求項63記載の方法。

【請求項69】 前記の電極パターンは、ラミネートとレーザビームのうちの一方または両方を互いに相対的に移動させることにより生成される、請求項68記載の方法。

【請求項70】 前記ラミネートは、透過性導電部材と燐光体のオーバーレイ層と、1つまたは複数の誘電層のアンダーレイ層とを有するELラミネートであり、前記電極パターンは、透過性導電部材の互いに平行に間隔をおいて配置された複数のアドレス線路から成る、請求項69記載の方法。

【請求項71】 前記誘電層の一部分は直接的に除去され、前記の燐光体および透過性導電部材はそれらの厚さ全体にわたって間接的に除去される、請求項70記載の方法。

【請求項72】 前記の透過性導電部材はインジウムスズ酸化物である、請求項71記載の方法。

【請求項73】 前記誘電層は、セラミック材料により生成された平坦な層を有しており、該層は、約  $1.0 \times 10^6$  V/m よりも大きい絶縁耐力と、誘電材料の誘電率と燐光体の誘電率との比が約 50 : 1 よりも大きくなるような誘電率を有しており、前記誘電層は、該誘電層の厚さと燐光層との厚さの比が約 20 : 1 ~ 500 : 1 の範囲内になるような厚さを有しており、該誘電層は、前記燐光層と両立性があり該燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである該燐光層に隣接した表面を有する、請求項72記載の方法。

【請求項74】 前記誘電層は少なくとも2つの層から成り、第1の誘電層は背面電極上に生成され、約 500 よりも大きい誘電率と約 10 ~ 300 ミクロンの範囲内の厚さを有しており、第2の誘電層は前記第1の誘電層上に生成され、請求項73記載の燐光層に隣接する表面を有しており、前記の第1および第2の誘電層は合わせて約 10 ~ 300 ミクロンの厚さを有する、請求項73記載の方法。

【請求項75】 前記の第1および第2の誘電層は、ペロブスカイト結晶構造を有する強誘電性のセラミック材料により生成され、前記第1の誘電層は、少なくとも 1000 の誘電率と約 20 ~ 150 ミクロンの厚さを有し、前記第2の誘電層は、少なくとも 100 の誘電率と約 2 ~ 10 ミクロンの厚さを有する、請求項74記載の

方法。

【請求項76】 前記第1の誘電層はスクリーン印刷および厚膜誘電ペーストの焼結により生成され、第2の誘電層はゾル・ゲル技術およびこれに続く焼成により生成される、請求項75記載の方法。

【請求項77】 前記第1の誘電層はニオブ酸鉛から成り、前記第2の誘電層はジルコン酸-チタン酸鉛またはランタン酸-ジルコン酸-チタン酸鉛から成る、請求項76記載の方法。

10 【請求項78】 交差するアドレス線路の前面のセットおよび背面のセットの間に挟まれた燐光層を有し、前記背面アドレス線路は基板上に形成され、前記燐光層は誘電層により背面アドレス線路から、および必要に応じて前面アドレス線路から分離されている形式のELラミネートを生成する方法において、

a) 基板上に背面アドレス線路を形成し、

b) 該背面アドレス線路上に誘電層を生成し、

c) 該誘電層上に燐光層を生成し、

d) 必要に応じて該燐光層上に透過性誘電層を生成し、

20 e) アンダーレイ層上に透過性導電部材の層をディボジットすることにより、アンダーレイ燐光層または透過性誘電層上に前面アドレス線路を形成し、フォーカシングされたレーザビームにより該アンダーレイ層にアドレス線路を描画し、アンダーレイ誘電層の一部分がレーザビームにより直接的に除去され、オーバーレイ燐光層および必要に応じて透過性誘電体ならびに透過性導電部材がそれらの厚さ全体にわたり間接的に除去されるように、前記レーザビームは、透過性導電部材、透過性誘電層および燐光層により実質的に吸収されないがアンダーレイ誘電層により吸収される波長を有することを特徴とする、ELラミネートを生成する方法。

【請求項79】 前記レーザビームは約 400 nm よりも大きい波長を有する、請求項78記載の方法。

【請求項80】 前記の層の組成および厚さは、

$$\sum_i \alpha_{ui} T_{ui} > \sum_i \alpha_{oi} T_{oi}$$

であり、ここにおいて、 $\alpha_{ui}$  はアンダーレイ誘電層の吸収率、 $\alpha_{oi}$  は透過性の層の吸収率、 $T_{ui}$  はアンダーレイ誘電層の厚さ、 $T_{oi}$  は透過性の層の厚さである、請求項79記載の方法。

40 【請求項81】 前記透過性導電部材は酸化インジウムスズである、請求項80記載の方法。

【請求項82】 燐光層をアンダーレイする誘電層はセラミック材料から成る平坦な層を有しており、該層は、約  $1.0 \times 10^6$  V/m よりも大きい絶縁耐力と、誘電材料の誘電率と燐光体の誘電率との比が約 50 : 1 よりも大きくなるような誘電率を有しており、前記誘電層は、該誘電層の厚さと燐光層との厚さの比が約 20 : 1 ~ 500 : 1 の範囲内になるような厚さを有しており、該誘電層は、前記燐光層と両立性があり該燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らか

である該燐光層に隣接した表面を有する、請求項 81 記載の方法。

【請求項 83】 前記誘電層は少なくとも 2 つの層から成り、第 1 の誘電層は背面電極上に生成され、約 500 よりも大きい誘電率と約 10~300 ミクロンの範囲内の厚さを有し、第 2 の誘電層は前記第 1 の誘電層上に生成され、請求項 82 記載の燐光層に隣り合う表面を有しており、前記の第 1 および第 2 の誘電層は合わせて約 10~300 ミクロンの厚さを有する、請求項 82 記載の方法。

【請求項 84】 第 1 および第 2 の誘電層はペロブスカイト結晶構造を有する強誘電性セラミック材料から成り、第 1 の誘電層は少なくとも 1000 の誘電率と約 20~150 の厚さを有し、前記第 2 の誘電層は少なくとも 100 の誘電率と約 2~10 ミクロンの厚さを有する、請求項 83 記載の方法。

【請求項 85】 前記第 1 の誘電層はスクリーン印刷と厚膜誘電ペーストの焼結により生成され、前記第 2 の誘電層はゾル・ゲル技術およびこれに続く焼成により生成される、請求項 84 記載の方法。

【請求項 86】 前記第 1 の誘電層はニオブ酸鉛から成り、前記第 2 の誘電層はジルコン酸-チタン酸鉛またはランタン酸-ジルコン酸-チタン酸鉛から成る、請求項 85 記載の方法。

【請求項 87】 EL ラミネートにおいて、背面基板と、該背面基板上に互いに平行に間隔をおいて配置されたアドレス線路の背面セットと、背面アドレス線路上の誘電層と該誘電層上の燐光層と、該燐光層上に必要に応じて設けられる透過性誘電層と、前記燐光層上部に互いに平行に間隔をおいて配置されたアドレス線路の前面の透過性のセットとを有し、前記アドレス線路は、交差点でピクセルが形成されるように背面アドレス線路と交差しており、前記前面アドレス線路は、レーザで描画されたみぞにより分離されており、該みぞは、アンダーレイ燐光層を貫通してアンダーレイ誘電層へこれを貫通せずに延在していることを特徴とする EL ラミネート。

【請求項 88】 前記の背面アドレス線路上の誘電層はセラミック材料から成る平坦な層を有しており、該層は、約  $1.0 \times 10^6$  V/m よりも大きい絶縁耐力と、誘電材料の誘電率と燐光体の誘電率との比が約 50:1 よりも大きくなるような誘電率を有しており、前記誘電層は、該誘電層の厚さと燐光層との厚さの比が約 20:1~500:1 の範囲内になるような厚さを有しており、該誘電層は、前記燐光層と両立性があり該燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである該燐光層に隣接した表面を有する、請求項 87 記載の EL ラミネート。

【請求項 89】 前記誘電層は少なくとも 2 つの層から

成り、第 1 の誘電層は背面電極上に生成され、約 500 よりも大きい誘電率と約 10~300 ミクロンの範囲内の厚さを有し、第 2 の誘電層は前記第 1 の誘電層上に生成され、請求項 88 記載の燐光層に隣り合う表面を有しており、前記の第 1 および第 2 の誘電層は合わせて約 10~300 ミクロンの厚さを有する、請求項 88 記載の EL ラミネート。

【請求項 90】 前記の第 1 および第 2 の誘電層はペロブスカイト結晶構造を有する強誘電性セラミック材料から成り、第 1 の誘電層は少なくとも 1000 の誘電率と約 20~150 の厚さを有し、前記第 2 の誘電層は少なくとも 100 の誘電率と約 2~10 ミクロンの厚さを有する、請求項 89 記載の EL ラミネート。

【請求項 91】 前記第 1 の誘電層はスクリーン印刷と厚膜誘電ペーストの焼結により生成され、前記第 2 の誘電層はゾル・ゲル技術およびこれに続く焼成により生成される、請求項 90 記載の EL ラミネート。

【請求項 92】 前記第 1 の誘電層はニオブ酸鉛から成り、前記第 2 の誘電層はジルコン酸-チタン酸鉛またはランタン酸-ジルコン酸-チタン酸鉛から成る、請求項 91 記載の EL ラミネート。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、エレクトロルミネセンスラミネートおよびエレクトロルミネセンスラミネートの製造方法に関する。本発明はまた、エレクトロルミネセンスラミネートから電圧駆動回路への電気接続を行うエレクトロルミネセンスディスプレイパネルに関する。本発明はさらに、扁平ラミネートにパターンを刻みつけるレーザに関する。前記パターンは例えば、エレクトロルミネセンスラミネートの透明電極のアドレス線である。

【0002】

【従来の技術】 エレクトロルミネセンス (EL) は、電界を適用したことによる蛍光体からの光の放出である。エレクトロルミネセンス素子はランプまたはディスプレイとして有用である。最近、エレクトロルミネセンス素子は扁平パネルディスプレイ素子に使用される。この素子は所定の特徴的形状または個別にアドレッシング可能なピクセルを矩形マトリックスに有する。

【0003】 エレクトロルミネセンスの先駆的研究は、GTE Sy l v a n i a で行われた。交流電圧がパウダーまたは散乱形 EL 素子に供給される。この素子では、光放出蛍光体パウダーが有機接着剤に埋め込まれており、これがガラス基板上にデポジットされていて、透明電極により覆われている。これらのパウダーまたは散乱形 EL 素子は一般的に低輝度であり、広範囲の適用を妨げる欠点がある。

【0004】 薄膜エレクトロルミネセンス (TFEL) 素子は 1950 年代に開発された。交流薄膜 EL ラミネ

ートの基本構造は良く知られており、例えばTornqvist, R. O. 著、“Thin-Film Electroluminescent Displays”, Society for Information Display, 1989, International Symposium Seminar Lecture Notesおよび米国特許4857802号明細書に記載されている。蛍光層は電極ペアの間にサンドウィッチされており、電極からそれぞれ絶縁/誘電層により分離されている。最も一般的には、蛍光材料はアクティベータ（ドーパント）としてMnを含むZnSである。ZnS:MnTFELは黄色発光である。他の色の蛍光体が開発された。

【0005】従来のTFELラミネートの膜は基板、通常はガラスにデポジットされている。膜のデポジットは実質的に公知の薄膜技術、例えば電子ビーム真空蒸着またはスパッタリングによって行われる。最近では原子膜エビタクシー（ALE）により行われる。TFELラミネート全体の厚さはわずか1または2ミクロンのオーダーである。

【0006】蛍光層を電極から分離および電気絶縁するために、種々の絶縁/誘電材料が公知であり、後で詳細に説明するように使用される。

【0007】2つの電極はそれぞれ、それが素子の（見る方向で）“後”側または“前”側にあるかに依存して異なる。例えばアルミニウムのような反射材料が典型的に後側電極に使用される。比較的に薄く光学的に透明のインジウムスズ酸化物（ITO）が典型的に、前側電極に使用される。ランプに適用する場合、2つの電極は連続膜の形態をとり、これにより蛍光層全体は電極間で電界にさらされる。典型的なディスプレイ適用例では、前側電極および後側電極は、行電極および列電極を定める導電アドレス線により適切にパターン化されている。行電極と列電極が重なるところにピクセルが定められる。1つの行電極と1つの列電極に同時に電圧を印加することにより個々のピクセルをアドレッシングする種々の電子ディスプレイ素子が公知である。

【0008】概念は簡単であるけれども、薄膜エレクトロルミネセンス素子の開発には多数の実際上の困難がある。第1の困難は、素子が薄膜技術によりデポジットされた個々のラミネートから形成されることである。薄膜技術は時間とコストのかかる技術だからである。膜での非常に小さな欠陥も故障の原因となり得る。第2にこれらの薄膜素子は典型的には相対的に高電圧（例えばピークピークで300~450V）で動作されることである。実際この電圧は蛍光層をその絶縁破壊電圧を越えて、それを導通させて、動作させるほどである。蛍光層の両側の薄膜誘電層は電極間の導電を制限または阻止することが要求される。大きな電界の適用は電極間の絶縁破壊の原因となり、素子の故障を引き起こす。

【0009】本発明はとくに、エレクトロルミネセンス素子の絶縁/誘電層と蛍光層を通過する放電を阻止するものである。エレクトロルミネセンス素子をうまく動作させるためには電極（アドレス線）が蛍光層から絶縁されることが必要である。このことは絶縁/誘電層によって行われる。典型的には絶縁/誘電層は蛍光層の両側に設けられ、アルミナ、イットリア、二酸化珪素、シリコン窒化物またはその他の誘電材料から形成される。素子の動作中、絶縁層と蛍光層との間の界面からの電子は、これが蛍光層を通過するように電界によって加速され、蛍光層でドーパント原子と衝突し、衝突プロセスの結果として光を放出する。従来のTFEL素子では、蛍光層を通過する電界強度が十分に高いことを保証するため、誘電層の厚さは通常は蛍光層よりも薄いかまたは同じくらいである。誘電層が過度に厚いと、アドレス線間に供給された電圧の大部分が蛍光層ではなく誘電層を通過する。

【0010】誘電層は蛍光層とコンパチブルであることが重要である。“コンパチブル”により本明細書および請求の範囲では、第1に良好な注入界面が形成されることを意味する。すなわち、“熱”電子のソースが蛍光界面にあり、電界の適用に基づき蛍光層での導通および光放出を開始させるためこれを蛍光導通帯へ促進およびトンネルすることができることを意味する。第2にコンパチブルの意味には、誘電材料が、これが隣接層（すなわち蛍光層および電極）と反応を起こさないように化学的に安定していなければならないことを意味する。

【0011】典型的なTFELでは十分な発光を得るために、供給される電圧は誘電層の絶縁破壊が発生する電圧に非常に近い。従って誘電層と蛍光層の厚さと品質に関する製造管理は絶縁破壊を阻止するため厳しく行われなければならない。この要求は反対に高い歩どまりを得ることを困難にする。

【0012】典型的なTFEL構造は（見る方向で）前側から後側に形成されている。薄膜は連続的に適切な基板にデポジットされている。ガラス基板は透明性を得るために使用される。透明な前側電極（ITOアドレス線）はガラス基板にスパッタリングにより約0.2ミクロンの厚さでデポジットされている。基板誘電体-蛍光層-誘電体層は通常はスパッタリングまたは真空蒸着によりデポジットされる。蛍光層の厚さは典型的には約0.5ミクロンである。誘電層の厚さは典型的には約0.4ミクロンである。蛍光層は通常はデポジットの後、約450°Cで効率を高めるため焼き鈍しされている。次に後側電極が付加され、典型的には0.1ミクロンの厚さのアルミニウムアドレス線の形態である。完成されたTFELラミネートは外部の湿気からそれを保護するためカプセル化される。エポキシ薄板カバーガラスまたはシリコンオイルカプセルが使用される。デポジットに使用される初期基板は典型的にはガラスであるか

ら、T F E L ラミネート構造で使用する材料および析出技術は高温処理をすることができない。

【0013】T F E L 素子を動作させるのに使用される高い電界強度は誘電層に過酷な要求を課す。高い絶縁耐力は絶縁破壊を回避するために要求される。高い誘電率を有する誘電体ができるだけ低い駆動電圧で発光効率を得るために有利である。しかし高誘電率の材料を使用する試みによっては満足する結果が得られていない。

【0014】T F E L 素子の駆動電圧を低くするため、絶縁層が高誘電率材料、例えば  $SrTiO_3$ ,  $PbTiO_3$ ,  $BaTa_2O_3$  から形成される。これは米国特許明細書 4857802 号に記載されている。しかしこれらの材料は低い誘電ブレークダウン強度を良好に示すものではない。米国特許第 4857802 号明細書には、誘電層をペロブスカイト結晶構造体から増大した平面配向 (111) を得るため薄膜析出技術により形成することが記載されている。同明細書には、高い絶縁耐力 (約  $8 \times 10^6 \sim 1.0 \times 10^6 V/cm$ ) が  $SrTiO_3$ ,  $PbTiO_3$ ,  $BaTa_2O_3$  を使用した約 0.5 ミクロンの厚さの誘電層により得られることが記載されている。これらはすべて高い誘電率とペロブスカイト結晶構造を有する。この素子は複雑で、誘電層に対する薄膜析出技術で制御するのは困難である。

【0015】薄板セラミック絶縁層および薄膜エレクトロルミネッセンスを使用した T F E L 素子の開発も行われてきた (Miyata, T 著 S I D 91 Digest, pp 70-73 および pp 286-289 参照)。この素子は  $BaTiO_3$  セラミックシートから形成される。シートはファイン  $BaTiO_3$  パウダーをディスク (直径 20 mm) に鋳造し、従来のコールドプレス法を使用して形成される。ディスクは  $1300^\circ C$  で空气中で焼成される。次に約 0.2 mm の厚さのシートに研磨される。発光層は化学的真空析出法または R F マグネトロンスパッタリングを使用してシートに薄膜でデポジットされる。次に適切な電極層が薄膜技術を使用して構造体のどちらか一方の側にデポジットされる。この素子は所望の特性を示すが、商用 T F E L 素子をソリッドセラミックシートから製造することは好ましいことではない。大きなセラミックシートを 0.2 mm の一定の厚さに研磨することは経済的には実現できない。

【0016】多層絶縁/誘電層を蛍光層の両側で使用することも公知である。例えば、米国特許第 4897319 号明細書には、E L 蛍光層を絶縁堆積体ペアの間にサンドウィッチした T F E L が公知である。この場合、絶縁堆積体の 1 つまたは両方はシリコン酸化窒化物 ( $SiON$ ) の第 1 の層とバリウムタンタル酸塩 ( $BT O$ ) の第 2 の比較的厚い層を有する。第 1 の  $SiON$  層は高絶縁性を示し、第 2 の  $BT O$  層は高誘電率を有する。全体的にこの構造体は従来の電圧での蛍光層の高い輝度の特徴とするものである。しかし絶縁層が R F スパッタリン

グによりデポジットされており、これは前に説明した薄膜技術には不利である。

【0017】製造するのに有利で、従来の T F E L 素子よりも輝度が高く動作電圧が低い T F E L 素子に対する要求がある。これには素子を駆動するのに必要な電界強度よりも高い絶縁耐力を有する誘電層を得ることが必要である。

【0018】透明導電材料、例えばインジウムスズ酸化物に電極パターンを製造することはしばしば大規模で高価なマスキングと、写真平板および化学エッチングプロセスを含む。レーザがこのような透明導電材料に線引くために提案されている。一般的には炭酸ガス、アルゴンおよび Y A G レーザが使用されている。このようなレーザは電磁スペクトル領域の可視および赤外線領域

(一般的に 400 nm 以上) に光を形成する。しかしこのような長波長の光を電極パターンをスクライプするために使用することは、とくに透明導電材料が別の透明層にデポジットされている場合に問題である。従来の T F E L ディスプレイでは、透明電極材料、典型的にはインジウムスズ酸化物 (I T O) が透明ディスプレイがガラスに、E L ラミネートの他の層がデポジットされる前にデポジットされる。絶縁材料または半導体材料では、その材料内の電子バンドギャップのエネルギーに相応するよりも長い波長の光は強く吸収されない。光学的に透明な材料に対しては、バンドギャップに相応する波長は可視光線に対する波長よりも短い。従って透明電極材料はレーザ光をあまり吸収しない。これは光の波長が長いことと層の厚さが薄いためで、このことはレーザエネルギーを電極アドレス線を直接除去するのに使用することを困難にする。

【0019】米国特許第 4292092 号明細書および米国特許第 4667058 号明細書には太陽電池において、透明電極パターンを別の透明層にデポジットするプロセスが記載されている。これらの特許明細書は電極をパルス Y A G レーザを使用してパターンニングすることを開示する。しかし Y A G レーザの波長は透明層で十分に吸収されるには過度に長い。低い吸収率を補償するために、ピークパワーの大きなレーザが透明電極を熱的に蒸発させるために使用される。ネオジウム Y A G レーザは 4 ~ 5 W、36 kHz のパルス率、20 cm/s の走査率で動作される。特許明細書に記載された実施例では I T O 層がこのようにしてガラスにデポジットされる。しかしスクライプされた線は I T O の不完全な除去を有すると記載されており、溶解した場所ではガラスが数百オングストロームまでの深さを有する。残留 I T O はその後のエッチングステップにより除去されなければならない。

【0020】透明電極材料に電極パターンを形成する別の手段はエキシマレーザを使用するものである。このレーザは電磁スペクトルで紫外線領域の比較的短い波長

の光を生成する。この波長ではレーザエネルギーを透明電極材料により吸収することができる。この性質のレーザでは液晶ディスプレイ（米国特許第4980366号明細書および米国特許第4927493号明細書）、光ボルト電池（米国特許第4783421号明細書および米国特許第4854974号明細書）および集積回路

（米国特許第5109149号明細書）に対して導電パターンを形成することが公知である。1990年8月23日に刊行されたWO90/0970には、電極ドットマトリクスパターンを透明基板上の透明導体にエキシマレーザによりスクライブするプロセスが記載されている。

【0021】エキシマレーザは透明電極により吸収するのに十分に短い波長の光を放射し、電極を直接除去することによりパターニングすることができる。しかしこのようなレーザは比較的高価で、スクライブプロセスは下にあるディスプレイガラスを溶解または除去しないように注意深く制御しなければならない。さらにこのようなプロセスは透明電極材料を過度に除去したり不完全に除去したりすることになりかねない。例えばWO90/0970には、除去すべき材料を一部しか除去されなかった場合には、残った部分を化学的またはプラズマエッチングにより除去できることが記載されている。

【0022】透明基板上の透明電極材料をスクライブする場合の別の問題が米国特許第4937129号明細書に記載されている。層間の拡散または相互汚染を回避するため、拡散障壁層を界面に設けることが記載されている。

【0023】別の特許明細書には、レーザ光の吸収を増強するため透明電極材料に表面処理することが記載されている。例えば米国特許第4909895号明細書には、金属フィルム表面をレーザ光に対して比較的に反射しないようにするため酸化することが記載されている。米国特許第4568409号明細書には、除去が所望される箇所ではレーザ光が選択的に吸収されるように色素により除去すべき透明層をコーティングすることが記載されている。

【0024】ELディスプレイを駆動する制御回路が開発されている。基本的にはこの回路はシリアルビデオデータをパラレルデータに変換し、電圧をディスプレイの行および列に供給する。上記のような行および列のドライバ素子（チップ）は入手可能である。

【0025】非対称駆動および対称駆動技術がELディスプレイ技術で使用される。非対称駆動法では、ELパネルに駆動パルスが、負の閾値下電圧を1つの列に同時に印加することにより供給される。各列のスキアン時間中、正の電圧パルスが選択された行（すなわち発光すべき行）に供給され、選択されなかった行（すなわち発光すべきでない行）にはゼロ電圧が供給される。選択された行と列の交点では、閾値下の列電圧と行の正パルス電

圧の和に等しい電圧がピクセルを介して供給され、発光を惹起する。パネルのすべての列がアドレスングされた後、正の極性リフレッシュパルスがすべての列に同時に供給され、すべての行は0Vに保持される。

【0026】対称駆動法では、リフレッシュパルスが省略される。そのかわりに、反対の極性の駆動パルスセットがパネルに供給される。パネルを動作状態に保持するため、列は交互の極性のパルスにより偶数フレームと奇数フレームで走査される。交互の極性はすべてのディスプレイピクセルで正味のゼロ電荷を引き起こす。

【0027】上記のような高電圧ドライバ素子（チップ）は非対称および対称両方の駆動技術で入手可能である。

【0028】交互駆動回路およびELディスプレイに対する素子は公知であり、開発されている。例えば、K. Shojiら著、Bidirectional Push-Pull Symmetric Driving Method of TFEL Display, Springer Proceedings in Physics, Vol. 38, 1989, 324、およびSuttonら著、Recent Developments and Trends in Thin-Film Electroluminescent Display Drivers, Springer Proceedings in Physics, Vol. 38, 1989, 318、およびBolgerら著、A Second Generation Chip Set for Driving EL Panels, SID, 1985, 229参照。

【0029】上記の駆動法はマルチプレクス（バス）マトリクスアドレスング法と呼ばれる。理論的にはその他の駆動法、例えばアクティブマトリクスアドレスング法もELディスプレイに使用することができる。しかしこれらはまだ開発されていない。このような交互駆動法は、本明細書で使用されるフレーズ電圧駆動回路の意味の枠内であると見るべきである。

【0030】従来のELディスプレイでは、行および列のアドレス線を駆動回路に接続する1つの手段は、非常に密に近接した金属シートを非常に多数含む重合ストリップを、ディスプレイアドレス線に接続された接点列と、駆動回路のドライバ素子に接続された接点列の間に加圧することである。駆動回路は別個の回路基板上に配置されている（米国特許第4508990号明細書参照）。重合ストリップは層構造のエラストメリックな素子（LEE）であり、STAXおよびZEBRAの商品名で知られている。LEEは導電エラストメリック材料と非導電エラストメリック材料との交互の層からなる。重合ストリップは数百の個別のワイヤをはんだまたは溶接を使用して接点に接続するという骨の折れる接続作業を回避する。しかしこの相互接続技術は非現実的であ

り、重合材料をクリープさせるような高い温度では良好に機能しない。

【0031】行および列アドレス線を液晶ディスプレイ(LCD)駆動回路に接続するため共通に使用される別の手段、すなわちチップオンガラス技術(COG)をエレクトロルミネセンスに対しても使用することが考えられる。アドレス線が接続されなければならない駆動素子(チップ)はディスプレイの末端周辺に配置される。LCDの場合、ディスプレイガラスの裏面に蒸着されているアドレス線がディスプレイのアクティブ領域から延在している。従ってアドレス線はパターンに配置された接点パッドで終端し、従ってチップをこれにボンディングすることができる。ワイヤボンディングはチップをディスプレイガラスに取り付け、ファインゴールドワイヤをチップの出力パッドおよびアドレス線の相応する接点パッドに個別に接続することを必要とする。

【0032】COG技術の利点はディスプレイガラスと駆動回路との間の接点数を格段に低減できることである。というのははるかに多数の接点がドライバチップとアドレス線の間にあるからである。典型的には20から30の接続がドライバチップと駆動回路の他の部分との間にあるにすぎないが、アドレス線と間には2000もの接続がある。

【0033】COG技術の大きな欠点は、ドライバチップをアドレス線の薄膜パッドにワイヤボンディングすることの困難性である。そのため製造歩どまりが悪い。他の欠点はドライバチップを取り付けるためにディスプレイの周辺にスペースが必要なことである。従ってディスプレイの寸法が増大し、大型ディスプレイを形成するため複数のディスプレイモジュールをアレイに組み合わせることができないことである。

【0034】直接回路接続に対するスルーホール技術は半導体分野で広く知られている(例えば米国特許第3641390号明細書参照)。米国特許第4710395号明細書から、制御された真空を用いたスルーホール基板プリントに対する方法および装置が公知である。しかしスルーホールプリントは、発明者の知るかぎりでは、ELディスプレイにうまく適用することができない。

【0035】米国特許第3504214号明細書には、EL素子のセグメント記憶形式が記載されている。ここではピクセルが光電層を形成するため光によりターンオンされ、次に蛍光層が導電性となる。スルーホール導体の複雑性が記載されている。この明細書は通常のスルーホール接続は高解像度TFELディスプレイでは動作しないことを示唆している。なぜなら、導電材料が蛍光体と反応し、そのためディスプレイの能力が低下するからである。

【0036】

【発明が解決しようとする課題】本発明の課題は、発光効率がよく、製造が容易で簡単なエレクトロルミネセン

ス素子を提供することである。

【0037】

【課題を解決するための手段】上記課題は本発明により、扁平な層が約 $1.0 \times 10^6 \text{ V/m}$ 以上の絶縁耐力と、誘電材料の誘電率と蛍光体の誘電率の比が約50:1以上である誘電率を有するセラミック材料から形成され、誘電層は誘電層と蛍光層との厚さの比が約20:1から500:1の範囲にある厚さを有し、誘電層は蛍光層に隣接する表面を有し、該表面は蛍光層とコンパチブルでありかつ十分に滑らかで、蛍光層は所定の励起電圧の下で一般的に均一に発光するように構成した誘電層を有するELラミネート誘電層構造体により解決される。

【0038】発明の要約

エレクトロルミネセンスの層は異なる誘電率を有する。ラミネートの層間の電位差は各層の厚さに比例して、また材料の相対的誘電率に反比例して各層に分散される。例えば、1つの層が別の層の2倍の厚さと誘電率を有していれば、電圧はこれら2つの層に均等に分散される。本発明はこの性質を利用して、高誘電率を有する厚い誘電層を、格段に低い誘電率を有する薄い蛍光層と組み合わせるのである。このようにして蛍光層による導電が開始する前に、誘電層が十分に高い誘電率を有していればピクセルを通る電圧が蛍光層全体にわたって十分に存在することができる。本発明は新しい改善された誘電層を有するELラミネートと、その製造方法を提供する。誘電層は圧膜として次のセラミック材料から形成される。

【0039】—絶縁耐力は約 $1.0 \times 10^6 \text{ V/m}$ 以上である。

【0040】—誘電材料の誘電率( $k_2$ )と蛍光層の誘電率( $k_1$ )との比は約50:1以上である(有利には100:1以上)。

【0041】—誘電層の厚さ( $d_2$ )と蛍光層の厚さ( $d_1$ )との比は約20:1から500:1の範囲にある(有利には40:1から300:1)。

【0042】—蛍光層に隣接した表面は蛍光層とコンパチブルであり、十分に滑らかであり、蛍光層は一般的に所定の励起電圧で均一に発光する。

【0043】本発明の誘電層を含むラミネートは最も有利には蛍光層が薄膜層であるラミネートである。典型的な薄膜蛍光層は $ZnS:Mn$ から約0.2から2.0ミクロン、典型的には約0.5ミクロンの厚さで形成される。 $ZnS:Mn$ 材料は約5から10の誘電率を有する。理論的計算ではこの最も有利な蛍光層(前記のガイドラインを参照)に基づき、本発明の誘電層は有利には500以上の誘電率、最も有利には約1000以上の誘電率を有する。また厚さは約10から300ミクロンの範囲、有利には20から150ミクロンの範囲にある。高誘電率を得るためには強誘電材料が有利である。最も有利にはこれらはペロブスカイト結晶構造を有する。例えば材料は、 $PbNbO_3$ ,  $BaTiO_3$ ,  $SrTi$

i O<sub>3</sub>, P b T i O<sub>3</sub>を含む。

【0044】本発明の誘電層はラミネートに形成され、これは前側から後側に構成される。従って後側電極は基板にデポジットされ、最も有利にはアルミナのようなセラミックである。これは製造時にガラス基板よりもはるかに高い温度に耐えることができる（ガラス基板は前面の透明性を得るためTFEL構造体の前側から後側に使用される）。次の本発明の誘電層は圧膜技術によって後側電極にデポジットされる。これは高温で焼成されるが、これは基板と後側電極には耐えることができる。厚膜技術と高温焼成の使用は誘電層の全体特性に対して重要である。というのは高度の結晶度を有する密な層が得られ、これは全体誘電率と層の絶縁耐力を改善するからである。

【0045】実際には発明者は、現在使用可能なセラミック材料を用いて蛍光層に隣接する誘電体の所望の表面（すなわちコンパチブルおよび滑らか）を製造することは困難であると思う。従って本発明の有利な実施例では、誘電層は2つの層として形成され、第1の誘電層は後側電極上に形成されて有利には高い絶縁耐力を有し、上記の誘電率値に設定される。第2の誘電層は上記のように蛍光層に隣接する表面となる。

【0046】本発明の有利な実施例では、第1の誘電層は圧膜技術（有利にはスクリーンプリント）によりデポジットされ、その後高温焼成（有利にはすべての下部層の溶融点よりも低い温度、有利には1000°C以下で）される。強誘電セラミック、有利にはペロブスカイト結晶構造体を含むペーストが、ペースト組成が高い焼成温度での焼成を許容するならば有利な材料である。第2の誘電層は有利にはゾルゲル技術によってデポジットされ、その後、滑らかな表面を得るため高温焼成される。第2の層に使用される材料は有利には高誘電率（有利には20以上、さらに有利には100以上）を有し、厚さは2ミクロン以上（有利には2から10ミクロン）である。ペロブスカイト結晶構造を有する強誘電セラミックが最も有利である。

【0047】本発明は、ニオブ酸鉛から30ミクロンの厚さでスクリーンプリントされた第1の誘電層と、ゾルとしてジルコン酸チタン酸鉛から2から3ミクロンの厚さでスピンドポジットされた第2の誘電層によって示された。ゾルゲル層はまた全体の厚さが6から10ミクロンの複数の層を形成するための浸漬によって示された。ランタン酸ジルコン酸チタン酸鉛もまたゾルゲル層として示された。

【0048】2層の誘電体を使用することは必須ではないが有利である。第1の誘電層が所要の高い絶縁耐力と高い誘電率を有する圧膜として形成されるのに対し、第2の層にはそのような制限はない。第2の層が所望のコンパチブルで滑らかな表面を有していれば、これは薄膜として第1の層で使用されるよりも多くの種々の材料が

ら形成することができる。多くの研究が、ELラミネートの誘電-蛍光界面の特性を変化させること、例えば化学的安定性または注入の改善について成された。これらの改善を含む材料または析出技術は、本発明の第1および/または第2の誘電層とともに使用することができる。例えば第1または第2の層で使用される材料または析出技術の選択において第2の層の表面の変更により、または第1または第2の層の上部にさらに第3の薄膜層を適用することにより使用することができる。

【0049】本発明により製造されたラミネートは、低い動作電圧において絶縁破壊なしで良好な発光効率を示す。誘電層に対して有利な圧膜とゾルゲル析出技術は一般的に簡単で前に説明した薄膜技術と比較して高価な技術でない。本発明の誘電層の別の利点は、層を組み込んだラミネートが蛍光層と第2の電極との間に別の誘電層を必要としないことである。しかし必要ならばこのような別の誘電層を含むこともできる。

【0050】従って本発明は、前側電極と後側電極との間にサンドウィッチされた蛍光層を含む形式のエレクトロルミネセンスラミネートにおける誘電層を適用するものである。後側電極は基板上に形成されており、蛍光層は後側電極から誘電層により分離されている。誘電層はセラミック材料から形成された扁平な層を有する。このセラミック材料の絶縁耐力は約 $1.0 \times 10^6 \text{ V/m}$ 以上であり、 $k_2/k_1$ の比である誘電率は50:1以上であり、誘電層は $d_2:d_1$ の比が20:1から500:1の範囲であるような厚さを有する。さらに誘電層は、蛍光層とコンパチブルであり、十分に滑らかである蛍光層に隣接する表面を有し、蛍光層は所定の励起電圧で一般的に均一に発光する。

【0051】本発明はまた、前側電極と後側電極との間にサンドウィッチされた蛍光層を含む形式のエレクトロルミネセンスラミネートの製造方法に関するものである。この後側電極は基板上に形成され、蛍光層は後側電極から誘電層により分離されている。本発明の方法は、後側電極に圧膜技術でデポジットし、その後セラミック材料を焼成する。このセラミック材料は $k_2/k_1$ の比が約50:1以上である誘電率を有し、約 $1.0 \times 10^6 \text{ V/m}$ 以上の絶縁耐力と、 $d_2/d_1$ の比が約20:1から500:1の範囲にある厚さを有する誘電層を形成する。誘電層は蛍光層に隣接する表面を形成する。この表面は蛍光層とコンパチブルであり、かつ十分に滑らかであり、所定の励起電圧の下で蛍光層は一般的に均一に発光する。

【0052】本発明はまた、少なくとも1つの上側層と少なくとも1つの下側層を有する扁平なラミネートにレーザーでパターンをスクライプするプロセスに関する。このプロセスは、フォーカシングされたレーザービームをラミネートの上側層側に照射し、このレーザービームは実質的に上側層によっては吸収されないが下側層によっては

吸収されるような波長を有し、これにより下側層の少なくとも一部は直接除去され、上側層はその厚さ全体にわたって間接的に除去される工程を含む。

【0053】ELラミネートに関連して、上側層は透明導電材料かつ発光体であり、下側層は誘電層の1つまたは複数であり、パターンは平行に配置されたアドレス線の電極パターンである。

【0054】明細書および特許請求の範囲全体を通して以下の定義があてはまる。

【0055】吸収は、放射エネルギー量が材料内での高エネルギー状態への許容遷移と一致したときに、例えば材料に対してバンドギャップを通る電子の促進により材料内で生じる。

【0056】レーザビームによる材料の直接除去は、除去の主たる原因が分解である場合、および/またはレーザビームの放射エネルギーの材料による吸収によるものである場合に生じる。

【0057】レーザビームによる材料の間接的除去は、除去の主たる原因が材料中での熱発生による蒸発である場合、およびレーザビームの放射エネルギーを吸収する隣接材料から搬送される場合に生じる。

【0058】本発明は、扁平なエレクトロルミネセンスラミネートから駆動回路の1つまたは複数の電圧駆動素子の出力側へスルーホールコネクタを使用して電気接続を行うエレクトロルミネセンスディスプレイパネルに関する。ディスプレイパネルは、  
一基板裏面に形成され、公知の形式の公差アドレス線のフロントセットおよびリアセットを有するエレクトロルミネセンスラミネートと、  
一アドレス線の端部に隣接する基板に形成された複数のスルーホールと、  
一基板のスルーホールのそれぞれを通してアドレス線の各端部へ、各アドレス線と駆動回路の電圧駆動素子との電気接続を行うための導電経路形成手段とを有する。

【0059】有利には、ディスプレイパネルのエレクトロルミネセンスラミネートは本発明の圧膜誘電層を有する。この誘電層によりラミネートを後側基板から前側へ（見る方向で）形成することができ、これによりまた、電圧駆動素子とアドレス線との接続のためのスルーホールコネクタおよび圧膜回路パターンを、回路製造ステップとエレクトロルミネセンスに対する製造ステップとの交互組み合わせで形成することができるようになる。

【0060】このようなステップは簡単には従来のエレクトロルミネセンスラミネート構造では実現することはできない。というのは、層がフロントディスプレイガラスにデポジットされ、このガラスは圧膜導電ペーストを焼成する温度には耐えられないからである。

【0061】本発明によれば、電圧駆動素子または駆動回路全体は、後側基板の裏面に形成される。スルーホールコネクタを使用することにより、アドレス線と駆動回

路との間のより直接的で信頼性の高い相互接続が得られる。ディスプレイパネル周辺の非活性外辺部は必要ない（従来の技術では必要であった）。このことにより個々のディスプレイパネルから大型ディスプレイを組み合わせたことができる、しかもモジュール間に暗い境界線が生じない。

【0062】

【実施例の説明】図1および図2には、2つの誘電層を合わせた本発明によるELラミネート10が示されている。ラミネート10は基板12上に背面側から形成される。背面電極層14は基板12上に形成される。図面に示されているように、ディスプレイに適用するために、背面電極14は、基板12上にセンタリングされた導電性のアドレス線路の列から成り、基板エッジから間隔をおいて配置されている。電極14からは電気接点タブ16が突出している。背面電極14の上には第1の厚い誘電層18が形成され、この次にはこれよりも薄い第2の誘電層20が続いている。さらに第2の誘電層20の上には燐光層22が形成され、この次には透過性の前面電極層24が続いている。前面電極層24は図面ではソリッドに描かれているが、実際にディスプレイに適用するためには、この電極層は、背面電極14のアドレス線路と垂直に配置されたアドレス線路の行により構成される。ラミネート10は、水分が侵入するのを避けるために透過性のシール層26によりカプセル保護されている。第2の電極24には電気接点28が設けられている。

【0063】ELラミネート10は、交流電力源を電極の接点16、28と接続することにより作動される。本発明によるELラミネートは、ディスプレイにおける用途が最も多いものではあるが、ランプまたはディスプレイとしての用途を有するものである。

【0064】当業者であれば、本発明の枠からはずれることなくラミネート10にさらに別の中間層を設けられることが理解されよう。

【0065】次に有利な材料および工程ステップとともに、1つのELラミネートに誘電層を2重に形成する本発明による方法を説明する。

【0066】ラミネート10は、背面から前面（表示面）へと形成される。ラミネート10は適切な基板12上に形成される。基板12は有利にはセラミックであり、これは誘電層で使われる高い焼結温度（典型的には1000°C）に耐え得るものである。最も有利なのはアルミナである。

【0067】基板12上に第1の背面電極14がデポジットされる。アドレス線路の薄い列を配線するために、多数の技術や材料が知られている。有利には、導電性の金属のアドレス線路は、ペーストが印刷されるべき領域で洗い落とすことのできる感光乳剤を用いて、Ag/Pt合金ペーストによりスクリーン印刷される。その

後、このペーストは乾燥され焼成される。択一的に、背面電極 14 を金のような別の貴金属、あるいはクロム、タングステン、モリブデン、タンタルまたはこれらの金属の合金のようなその他の金属により形成することもできる。

【0068】第1の誘電層 18 は、周知の厚膜技術により背面電極上にディポジットされる。燐光層 22 の誘電率よりも高い誘電率を生じさせるために、第1の誘電層 18 は有利には強誘電性材料から生成され、最も有利にはペロブスカイト結晶構造を有するものから生成される。この材料は、ラミネートのための適切な動作温度にわたって、一般的には  $20^{\circ}\text{C} \sim 100^{\circ}\text{C}$  にわたって、500 の最小誘電率を有するものである。いっそう有利には、第1の誘電層材料の誘電率は1000またはそれ以上である。第1の誘電層 18 のための実例としての材料は、 $\text{PbNbO}_3$ 、 $\text{BaTiO}_3$ 、 $\text{SrTiO}_3$  および  $\text{PbTiO}_3$  であって、殊に  $\text{PbNbO}_3$  が好ましい。

【0069】第1の誘電層 18 のためにセラミック材料（すなわちラミネートの別の層を準備するのに十分に高い融点を有する電気的に絶縁する部材）を選択する場合、当業者であれば理解されるように、高い誘電率と高い絶縁耐力を有するものとして知られた材料が選択される。これらは材料の固有の特性であるが、緻密で透明な形状で存在するバルク材料に対して値が一般的に定められている。用いられるディポジット技術によりこれらの特性を変えることができる。材料の誘電率に関して、誘電率を出発材料の誘電率よりも著しく下げないようにする目的で、厚膜ディポジット技術およびこれに続く高温焼結により（約1ミクロンから約2ミクロンの範囲内の）大きな粒子サイズと、緻密な構造における高い透明度が全体的に維持される。同様に、厚膜ディポジット技術を用いることにより高い絶縁耐力が得られる。しかし層の絶縁耐力は結局は、完成したラミネートに動作電圧を印加することにより測定すべきである。

【0070】厚膜ディポジット技術は、上述のように従来より公知である。このような技術の場合、誘電材料は、全体的に均一な範囲の所望の厚さで、背面電極 14 上にディポジットされる。厚膜ディポジット技術は、セラミック基板上の電子回路の製造時に頻繁に用いられる。スクリーン印刷は最も好ましい技術である。ペースト製造者により行われる推奨される焼結ステップで、市販の誘電ペーストを用いることができる。ペーストは、典型的には約  $1000^{\circ}\text{C}$  である高温の焼結を可能にするように選択または形成すべきである。しかし他の技術で同様の結果を得ることができる。択一的である厚膜技術は、背面電極 14 上に配線できるように“グリーンテープ”として誘電体を用いることである。このグリーンテープは重合マトリックスの誘電性粉体を有しており、これは後続の焼結プロセス中に燃焼させることができる。

焼結前、このテープはフレキシブルであり、電極層 14 上に平らに広げて押圧させることができる。スクリーン印刷された誘電体上におけるグリーンテープの1つの可能な利点は、これが燃焼されれば孔がいつそう僅かになることでいくらか緻密できることである。現在、グリーンテープ誘電体は容易に入手可能ではない。誘電体の厚膜ペーストも、背面電極層 14 上に平らに広げて被着させることができるし、あるいはドクタブレードで塗布することができる。誘電性粉体の静電的なディポジットおよびこれに続く、粉体はその静電荷を失う前にただちに行われる焼結のようないっそう複雑な技術を、付随的に用いることもできる。

【0071】図示されているように、第1の誘電層 18 は有利にはペーストによりスクリーン印刷される。僅かな有孔性、高い結晶度および最小の解砕を達成するために、多重層へのディポジットおよびこれに続く高温での焼結が有利である。焼結温度は、使用される個々の材料に依存するが、背面電極 14 または基板 12 が耐え得る温度を越えないようにする。大部分の電極材料にとって、典型的には  $1000^{\circ}\text{C}$  の温度が最大値である。第1の誘電層 18 の厚さは、この層の誘電率と、燐光層 22 および第2の誘電層 20 の誘電率および厚さにより変化する。一般的に、第1の誘電層 18 の厚さは  $10 \sim 300$  ミクロンの範囲内であり、有利には  $20 \sim 150$  ミクロンの範囲内であり、さらに有利には  $30 \sim 100$  ミクロンの範囲内である。

【0072】一般的に、誘電層の厚さおよび誘電率を定めるための基準は、最小動作電圧で適切な絶縁耐力が生じるように計算されるものとされる。これらの基準は以下で述べるように相互に関係がある。燐光層に対し約  $0.2 \sim 2.0$  ミクロンの間の典型的な厚さの範囲 ( $d_1$ ) を与え、この燐光層に対し約  $5 \sim 10$  の間の誘電率の範囲 ( $k_1$ ) を与え、さらに誘電層に対し約  $10^6 \sim 10^7 \text{ V/m}$  の絶縁耐力の範囲を定めると、本発明の誘電層のための典型的な厚さ ( $d_2$ ) と誘電率 ( $K_2$ ) の値を決定するために以下の式および計算を適用できる。上記の典型的な範囲を意味をもって変えようとする場合には、本発明の枠内からはずれることなく、これらの式ならびに計算を  $d_2$  と  $k_2$  の値を決定するためのガイドラインとして用いることができる。

【0073】1つの均一の誘電層と、2つの導電性の電極間に挟まれた1つの均一の非導電性の燐光層とを有する2重の層に加わる電圧  $V$  は、式1により定められる：

$$V = E_2 * d_2 + E_1 * d_1 \quad (1)$$

この場合、 $E_2$  は誘電層における電界強度、 $E_1$  は燐光層における電界強度、 $d_2$  は誘電層の厚さ、 $d_1$  は燐光層の厚さである。

【0074】これらの計算において、電界方向は、燐光層と誘電層との間の介在領域に対し垂直である。式1は、閾値電圧よりも低い電圧が印加されるかぎりあては

まる。この閾値電圧において、燐光層における電界強度は、燐光層が電氣的に降伏し始め、素子が光を送出し始めるのに十分に高いものである。

【0075】電磁理論により、異なる誘電率を有する2つの絶縁材料間の介在領域に垂直な電気変位（電束密度） $D$ の成分は、介在領域にわたり連続的である。ある材料中のこの電気変位成分は、誘電率と、同じ方向の電界成分との積として定義されている。この関係から、2重層構造における介在領域に対し式2が導出される：

$$k_2 * E_2 = k_1 * E_1 \quad (2)$$

この場合、 $k_2$  は誘電材料の誘電率であり、 $k_1$  は燐光材料の誘電率である。

【0076】式1および2を合成して式3を得ることができる：

$$V = (k_1 * d_2 / k_2 + d_1) * E_1 \quad (3)$$

閾値電圧を最小化するために、式3の第1項は実用に即して小さくする必要がある。燐光層の発する光を最大にするために、第2項は燐光層の厚さの選択の要求により定められる。これらの数値を定める際、第1項は第2項の10分の1の大きさになるように選択する。この条件を式3に代入することにより式4が得られる：

$$d_2 / k_2 = 0.1 * d_1 / k_1 \quad (4)$$

式4により、燐光層の特性に関して誘電層の厚さとその誘電率との比が得られる。この厚さは、燐光層が閾値電圧を超過して導通したときに、印加された電圧全体を保持するのに絶縁層の絶縁耐力が十分であるようにするという要求から独自に決定される。厚さは式5を用いて算出される：

$$d_2 = V / S \quad (5)$$

この場合、 $S$  は誘電材料の絶縁耐力である。

【0077】上述の式および $d_1$ 、 $k_1$ 、 $S$ に対し適切な値を用いることにより、本発明明細書および特許請求の範囲に記載した誘電層の厚さならびに誘電率の範囲が得られる。

【0078】前述のように、第1の誘電層18が、燐光層と隣接する十分に滑らかな表面を有し（すなわち続いてディポジットされる燐光層が所定の励起電圧で全体的に均一に発光するのに十分な滑らかな表面を有し）、この燐光層22と両立性があれば、第2の誘電層20は不要である。一般的に、表面の起伏が約1000ミクロン（これは1つのピクセル幅にほぼ等しい）にわたって約0.5ミクロンより大きく変化していなければ十分である。この間隔において0.1~0.2ミクロンの表面起伏であればいっそう好ましい。第1の誘電層18が十分に滑らかな表面を有していても燐光層22との所望の両立性を有していなければ、両立性を得るためにさらに別の材料層（有利には誘電層であるがそうである必要はない）を、たとえば薄膜技術により加えてもよい。

【0079】第2の誘電層20が必要とされる場合、この層は第1の誘電層上に生成される。第2の誘電層20

は第1の誘電層18の誘電率よりも小さい誘電率を有することができ、典型的にはさらに薄い層（有利には2ミクロンよりは大きくいっそう有利には2~10ミクロン）として生成される。第2の誘電層の所望の厚さは一般的に滑らかさの関数であり、つまり滑らかな表面が得られるならば、この層はできるかぎり薄くすることができる。滑らかな表面を得るために、有利にはゾル・ゲル・ディポジション技術が用いられ、これに続いて高温での焼結が行われる。ゾル・ゲル・ディポジション技術は従来からよく知られており、たとえば“Fundamental Principles of Sol Gel Technology”, R. W. Jones The Institute of Metals, 1989を参照されたい。一般的に、ゾル・ゲル・プロセスにより、溶剤をまだ保持している間、コロイドゲルまたは重合高分子網状構造として溶液から取り出される前に、ゾルにおいて分子レベルで材料を混合することができる。溶剤を除去すれば、高レベルの緻密な多孔率の固体が残される。したがって表面自由エネルギーの値が高められ、その他のほとんどの技術を用いて行われるよりも低い温度で固体を焼結し濃度を高めることができる。

【0080】ゾル・ゲル材料は、滑らかな表面を得るように第1の誘電層18上へディポジットされる。このゾル・ゲル・プロセスにより、滑らかな表面を生じさせることに加えて焼結された厚膜層上の孔を埋めることができるようになる。スピンドィポジションまたは浸せきが最も好ましい。これらは長年にわたり半導体産業において主として写真製版プロセスで用いられている技術である。スピンドィポジションの場合、高速で一典型的には毎分数千回転でスピンする第1の誘電層18上へゾル材料がドロップされる。望ましければゾルを数段階、ディポジット可能である。層20の厚さは、ゾル・ゲルの粘度を変化させることにより、およびスピン速度を変えることにより制御される。スピニングの後、湿ったゾル・ゲルの薄い層が表面上に生成される。セラミック表面を生成するために、一般的には1000°Cよりも低い温度でゾル・ゲル層20が焼結される。ゾルは浸せきによってもディポジットできる。被覆されるべき表面がゾル中へ浸され、次に一定の速度で通常は著しくゆっくりと引き出される。層の厚さは、ゾルの粘度および引き出し速度を変化させることにより制御される。さらに、ゾルをスクリーン印刷またはスプレイコーティングしてもよいが、これらの技術では層の厚さを制御するのは比較的困難である。

【0081】第2の誘電層20に使用される材料は有利には強誘電性のセラミック材料であり、高い誘電率を生じさせるためにこのセラミック材料は有利にはペロブスカイト結晶構造を有する。有利にはこの誘電率は、2つの誘電層18、20における電圧変動を避けるために、第1の誘電層の誘電率と同様のものである。とはいえ、第2の誘電体20で用いられるいっそう薄い層では誘電

率は約20だけ小さい誘電率を使うことができ、しかし有利には100より大きくする。実例としての材料には、ジルコン酸-チタン酸鉛(PZT)、ランタン酸-ジルコン酸-チタン酸鉛(PLZT)、および第1の誘電層18で使用されるSr、PbおよびBaのチタン酸が含まれ、この場合、PZTとPLZTが最も好ましい。

【0082】次の層のディポジションに好適な滑らかなセラミック表面を生成するために、PZTまたはPLZTは有利には、スピンディポジションおよびこれに続く約600°Cより低い温度での焼結により、ゾル・ゲルとしてディポジットされる。

【0083】ディポジットされるべき次の層は典型的には燐光層22であるが、上述のように、燐光層との介在領域をいっそう改善する目的で、本発明の枠内で第2の誘電層20の上にさらに別の層を設けることもできる。たとえば、良好な注入性と両立性が得られることで知られた材料の薄膜層を用いることができる。

【0084】燐光層22は、電子ビームエバポレータに\*

基板層	アルミナ	
背面電極	Ag/Pt アドレス線路	10ミクロン
第1の誘電層	ニオブ酸鉛	30ミクロン
第2の誘電層	ジルコン酸-チタン酸鉛	2ミクロン
燐光層	ZnS:Mn	0.5ミクロン
前面電極	ITO	0.1ミクロン
シール層	ガラス	10~20ミクロン

大きなELディスプレイの場合、層の厚さを変化させることができる。たとえばゾル・ゲル層の厚さは、所望の滑らかさを得るために典型的には約6~10ミクロン増やされる。同様に、ITO層の厚さは大きなディスプレイの場合には0.3ミクロンまで増やすことができる。

【0089】本発明によれば、エレクトロルミネセンスラミネートの前面と背面のアドレス線路と電圧駆動回路との接続は、有利には背面基板中のスルーホールを貫通させることにより行われる。ELラミネートは本発明の厚い誘電層を—これは必要ではないが一有するのが最も好ましい。

【0090】電圧駆動回路は(典型的には高電圧駆動チップと称される)電圧駆動コンポーネントを有している。ビデオ入力信号に応じてピクセルを選択的に励起させるために、このコンポーネントの出力側は、背面電極と前面電極の個々の行アドレス線路と列アドレス線路に接続されている。電圧駆動回路およびコンポーネントは従来技術において一般的に知られている。本発明を説明するために、スルーホール接続は、公知のパッケージ化された高電圧駆動チップ用に設けられたものであり、この高電圧駆動チップは、周知のリフローはんだ付け技術により背面基板上に表面取り付けされる。この形式の高電圧駆動チップは、慣用の対称パルス駆動形および非対称パルス駆動形として知られている。

\*による真空蒸着やスパッタリング等のような周知の薄膜ディポジション技術によりディポジットされる。好ましい燐光材料はZnS:Mnであるが、異なる色の光を発する別の燐光体も知られている。燐光層22は典型的には約0.5ミクロンの厚さと約5~10の誘電率を有する。

【0085】燐光層22の上の別の透過性の誘電層は不要であるが、望ましければ設けてもよい。

【0086】前面電極層24は燐光層22(設けられているならば別の誘電層)上に直接、ディポジットされる。この前面電極は透過性であり有利には、電子ビームエバポレータにおける真空蒸着のような薄膜ディポジション技術で知られているインジウムスズ酸化物(ITO)から生成される。

【0087】ラミネート10は典型的には焼きなまされ、次にガラスのようなシール層26で密閉される。

【0088】本発明による典型的な厚さの値を有する有利なラミネートは、背面から前面までについて以下のとおりである：

【0091】しかし、当業者ならば気付くように、特殊なドライバ回路ないしドライバ構成要素は変形可能であり、そのようにして、当然、貫通ホールのパターンおよび、ドライバ回路に接続するために設けられた回路パターンに影響を与えることがある。本発明は、実施例として、ドライバ回路全体またはその一部分だけを後側の基板上に取付けることができる。例えば、高圧パッケージチップを使う代わりに、むき出しのシリコンダイ(チップ)を慣用のダイアタッチ方法を用いて基板上に使うことができ、そして、慣用のワイヤボンディング技術を用いてチップを基板上のドライバ回路に接続することができる。この場合、ドライバチップは、基板上の僅少な領域しか占有せず、ドライバ回路のすべてを基板上に配設することができる。その結果、超薄形ディスプレイパネルを、直接ビデオ信号にインターフェース結合し、かつ直接直流電力源に接続することができる。そのようなディスプレイは、ディスプレイを必要とする超薄形ポータブル製品で有用である。もちろん、基板の後側にドライバ回路を取付けることができることは、いかなるサイズのディスプレイにも適用でき、比較的大きなディスプレイならば、基板の後側に直接ドライバ回路を設けるために一層大きなスペースを提供することができる。

【0092】本発明の回路接続状態が、図3~図10に示されている。上述のように、特殊な貫通ホールと回路

パターンは、図示の目的のために、後側基板の反対側に高圧ドライバチップ30を取付けるために設けられている。特殊なチップ選択は、スーパーテックスHV7022PJが列アドレス線14への接続用であり、スーパーテックスHV8308PJおよびHV8408PJ（スーパーテックス社、カリフォルニア州、サニーベイル在）が行アドレス線24への接続用である。後者の2つのチップは、一方のリードパターンが他方のリードパターンのミラーイメージであるという点で異なっている。

【0093】図を参照すると、ELラミネート10は、有利には（必ずというわけではないが）、本発明の2層誘電層18、20で構成されており、このようにして後側の基板12から前方から見た側に向かって構成されている。後側基板12は貫通（スルー）ホール32と共に穿孔されており、そのパターンは、基板12と貫通ホール32とがアドレス線14、24（後で形成される）の両終端に最も近くなるようにされている。または、択一的に、付加的な貫通ホールをアドレス線に沿って所定の間隔を置いた関係で設けることができる。これは、高抵抗性の前方ITOアドレス線への接続を行なうのに有用である。図4のパターンは、方形基板12上のELラミネート10への接続用であり、方形基板12には、列アドレス線（後側電極）14が比較的長い寸法に沿って設けられ、行アドレス線（前側電極）24が比較的短い寸法に沿って設けられている。

【0094】貫通ホール32は、有利にはレーザによって形成される。ホール32は、典型的には、レーザ穿孔プロセスの性質により一方の側面上に拉げられており、その側面は、導電材料をホールの中に通すのを容易にするために後側面か反対側面であるように選択される。

【0095】ELラミネートで使われる基板12は、後続の処理ステップで遭遇する温度を下げることができるようなものであるべきである。典型的には、使われる基板は、ラミネートを堅固に支持するのに充分なものであって、後続の、薄膜ペーストおよびゾル・ゲル材料用の焼成焼結に耐えるために850°以上の温度に対して安定しているものである。従って、基板は、レーザ光に対して不透過性であるべきであり、それは、レーザ穿孔により貫孔ホール32を形成できるようにするためである。最後に、基板は、後続ステップで使われる薄膜ペーストの良好な付着性を提供すべきである。クリスタルラインセラミック材料と不伝導性ガラス状材料が使われる。アルミナは特に有利である。

【0096】導電材料の回路パターン34は、図5に示されたパターンで、基板12の後側面に印刷される。このステップでは、導電材料は、上述のようにして、貫通ホール32を通過して引かれる。基板12の後側面の回路パターン34は、貫通ホール32の毎々の周囲の後側コネクタパッド36、高圧ドライバチップ（図示していない）の出力用のチップコネクタパッド38、更に、ドラ

イブ回路（図示していない）の残部に接続するためのコネクタパッド（ラベルされていない）、および図示のように多数のコネクタパッド間の電気リード（ラベルされていない）から構成されている。

【0097】導電材料は、有利には、スクリーン印刷によって付けられた導電薄膜ペーストである。

【0098】各貫通ホール32を貫通する導電路を形成するために、基板12の前方側面上が真空中にされ、他方、回路34は、後側面に印刷される。これは、有利には、基板12をマスタプレートに有する真空テーブル上に置くことによって達成され、その際、マスタプレートは、基板12と真空との間で図4のパターンで穿孔されたホールを有している。マスタプレートの各ホールは、整列され、基板12のホールより幾分大きい。真空が均一に加えられるのを確実にするために、回路が印刷されるまで、真空は加えられない。真空は、導電材料が基板の前方側面へ貫通して引かれるまで続けられる。その時点で、導電材料の少量が基板12の前方側面へ貫通して引張られ、貫通ホール壁が被覆される。薄膜ペーストは、それから、公知の手順に従って焼成される。

【0099】このステップに続いて、回路パッド補強パターン42は、有利には（必ずではないが）、図7に示されたように印刷される。導電材料と同様に、印刷および焼成ステップが続けられる。

【0100】列アドレス線14とコネクタパッド40a、40bは、それから、基板12の前方側面に形成され、有利には、銀／プラチナペーストのような薄膜導電ペーストをスクリーン印刷することによって行なわれる。アドレス線パターンは図6に示されており、基板12の長手方向に沿って延在し、前方（列）コネクタパッド40aで終わる列を有している。この同じステップの間、前方（行）コネクタパッド40bは、行アドレス線を貫通ホール32を経てドライブ回路に最終的に接続するために設けられている。導電ペーストは、有利には、上述のように、貫通ホール32を通過して引き抜かれ、その際、基板の後側回路側から真空が加えられる。

【0101】貫通ホール32を通過して導電路を形成する手段は、薄膜導電ペーストから形成されるために、上で詳述したが、導電ペーストは、従来技術で公知のように、電気プレートされた貫通ホールのように、または非電氣的プレーティングによって貫通ホールが形成されるようにして、形成され、そのようにして、基板に適切に付着した電気プレートされた材料が提供され、および後続層がプレートコンダクタに付着される。

【0102】本発明の薄膜誘電層18は、その際、有利に形成され、上述のようにして焼成される。

【0103】基板の後側回路面は、その際、後側シーラント44を用いて有利にシールされ、その際例えば、薄膜ガラスペーストを用いたスクリーン印刷によって、コネクタパッドを高圧ドライバチップの取付のために、お

よびコネクタピン45をドライバ回路（図示していない）の残部に取付けるために、露出したままにされている。シーリングパターンは、図8に示されている。

【0104】ELラミネートは次にゾルゲル層20、りん層22およびフロント行アドレス線24により補完される。フロント行アドレス線24のためのパターンは図9に示されている。これはフロント（行）コネクタパッド40の近傍で終端する基板12の厚さにわたる平行の行から構成する。必要に応じて、行アドレス線24とフロント（行）コネクタパッド40との間の電氣的相互接続46は、信頼できる電氣的接続の目的で設けられる。これらは有利に、図10に示されているパターンでシャドウマスクを介して、銀のような導電材料をプリントすることにより形成される。

【0105】前述のフロントシーリング層26が湿気透過を阻止する目的で設けられる。

【0106】本発明によれば、ELラミネート10のフロントITOアドレス線24は、有利にレーザ書き込みにより形成される。このレーザ書き込み技術を、本発明の有利なELラミネート10に関連づけて示す。しかしレーザ書き込み技術は、上側層および下側層を有するプレーナラミネートをパターン化する時に一層広く適用されることは、理解されるべきである。この点に関して、ITOおよびりん層24、22は、実質的にレーザ光を吸収しない上側層を有する。さらに厚膜なまりニオブウム誘電体層18となまりジルコン酸塩チタン酸塩のゾルゲル層20は、レーザ光を吸収しない下側層を有する。他の代表的な材料は透明な（透光性の）導体として $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ を含む。

【0107】通常は、本発明の思想において、上側層は可視光線を透過する材料であり、下側層は可視光線を透過しない材料である。そのため下側の材料は直接的に穿孔され、上側層は間接的に穿孔される。この場合に可視の領域における、または電磁スペクトルの赤外線領域における波長を有するレーザービームを用いて、穿孔される。このレーザーによる穿孔法は、半導体、液晶ディスプレイ、ソーラセルおよびELディスプレイにおいて広く使用される。

【0108】レーザー書き込みの精度および分解能（切り込みの深さおよび幅）を制御する目的で、かつ層の爆発的な非薄片化を回避する目的で、および層の間の相互拡散を最小化する目的で、材料の所定の特性および層の厚さを守るべきである。

【0109】2層のラミネートに関して次の関係が維持される。

【0110】ただし  $\alpha_u T_u > \alpha_o T_o$ 、

$\alpha_u$  = 下側層の吸収係数、

$\alpha_o$  = 上側層の吸収係数、

$T_u$  = 下側層の厚さ、

$T_o$  = 上側層の厚さ、

積 $\alpha_u T_u$ は積 $\alpha_o T_o$ よりも著しく大きくすると一層有利である。

【0111】複数個の上側透明層および／または複数個の不透明層が設けられる時は、各々の層に対する積 $\alpha_u T_u$ の和が、各々の層に対する積 $\alpha_o T_o$ の和よりも大きくすべきである、即ち

$$\sum_i \alpha_{ui} T_{ui} > \sum_i \alpha_{oi} T_{oi}$$

上述の関数が維持される時は、本発明のステップにより下側層の一部だけを、その全体の厚さを貫通して切り込むことなしに、直接穿孔すべきであり、上側層の全体の厚さを貫通して間接的に穿孔すべきである。

【0112】間接的な穿孔により上側層が軟化できる前におよび／または気化する前に、下側層の中において熱または蒸気圧が形成されると、爆発的な非ラミネート化が生ずることがある。それ故、上側層における材料は、下側層における材料が融解して気化する温度よりも、低い温度で融解して気化すべきである。

【0113】高い分解能の切り込む性能を向上させる目的で、下側層における材料の熱伝導率を、上側層における材料のそれよりも小さくすると有利である。両方の層の熱伝導率は、穿孔されつつある領域から、この領域がレーザ光に照射されている間中に、大きい熱が放熱されないように選定される。

【0114】層の間の物質の相互拡散を回避する目的で、この過程のための拡散時間は、穿孔されるべき領域がレーザビームに照射されて時間よりも、長くすべきである。

【0115】前述の特性は材料に対して知られており、どの材料が本発明のレーザ書き込み過程に適切であるかを前もって知らせることができる。

【0116】レーザ切り込みの分解能、爆発的な非ラミネート化および相互拡散も、レーザビームのエネルギーおよび走査速度により影響される。しかし前述の関係が守られると、これらの別のレーザ条件が通常は維持されて、これらの別のレーザ条件は、直接的な穿孔および間接的な穿孔の所望の結果を達成するために制御および変化が可能となる。

【0117】可視領域または赤外線領域における波長を有するレーザビームを供給するレーザ光線は公知である。二酸化炭素レーザー、アルゴンレーザーおよびYAGレーザーはその一例である。全部のレーザーは400nmより大きい波長を有する。パルス波レーザーまたは持続波レーザーを使用できる。後者は鋭い高い分解能の切り込みを形成するために有利である。レーザービームは適切なレンズ装置により集束される。その目的は上側層の完全な除去のための、十分な局所的な密度を保証するためである。通常はレーザービームのエネルギー密度は、カットされる溝が、上側の透明層の厚さよりも十分に大きくなるように、設定される。透明層が電極アドレス線を含む時は、これにより、アドレス線が明瞭に定められ電氣的に絶縁

されることが保証される。

【0118】書き込みは、書き込みされる材料に対してレーザビームを移動させることにより行なわれる。一層有利には、書き込みされるべき材料を、レーザビームに相対的に移動可能なx y座標テーブル上に載置することにより行なわれる。

【0119】アドレス線を書きこむためには、x方向へ（即ち書き込みされるアドレス線に垂直に）移動可能なテーブルが有利であり、レーザビームはy方向へ即ちアドレス線に沿って移動可能である。

【0120】レーザ書き込み中に気化されるまたは分解される材料は、レーザビームの近傍に設けられる真空により、書き込みされる材料から除去できる。

【0121】本発明による有利なELラミネート10、酸化インジウムすずの薄い層24は公知の方法によりりん層22の上に被着される。ITOを被着するための真空被着法またはITOを被着する方法は、米国特許第4568578号公報および第4849252号公報に示されている。ITO以外の材料を例えばふっ素でドーピングされた酸化すずを使用することもできる。光学的に透明な誘電体層は、ITOとりん層24、22との間に設けることができる。PZTの有利なゾルゲル層20およびなまりニオブウムの厚膜誘電体層が、りん層の下に設けられる。ELラミネート10は、上述の様に、従来のTFEL装置とは逆のシーケンスで形成される。これは従来の様に、下側の不透明な誘電体の層18、20の上方の上側の透明層として、本発明によるレーザ書き込みに適するITO層24およびりん層22を残す。

【0122】個々の行アドレス線24は前述のようにレーザで書き込みされる。レーザビームはゾルゲル層20の少なくとも一部および、厚い下方の誘電体層18のわずかな部分を直接除去し、ITOおよびりん層24、22をそれらの厚さにわたり間接的に除去する。これは隣り合うアドレス線の間の信頼できる絶縁ギャップを残す。

【0123】行アドレス線24は上述の駆動回路へ接続されている。詳細には上述の有利な貫通ホール接続により、電気的な相互接続46が（レーザ書き込みに先立って）、図10で示されたパターンで銀を蒸着することにより、最終的にアドレス線を形成するITO層の一部と重なる位置において形成される。

【0124】次にアドレス線が上述のように書き込みされる。

【0125】完成されたELラミネートは上述のように、フロント可視面上に保護用ポリマーシールをスプレーすることにより、またはフロント表面へガラス板を接着することにより、シールできる。

【0126】透明な導体材料を書き込みするための間接的な穿孔を用いることにより、複数個の利点を得られる。高い瞬間出力を有する紫外線パルスレーザではな

く、可視領域における光を送出する著しく低いエネルギーの接続波レーザが使用できる。このレーザはコストを低減できるだけでなく、削除された切り込み上の一層なめらかな線を形成する。このことは高い解像度のELディスプレイのために著しく重要である。透明材料の直接の穿孔は、穿孔の行なわれる領域から熱が拉がる阻止するのに十分短い時間における穿孔のために必要なエネルギーを送出する著しく高い瞬間レーザエネルギーを必要とする。透明な基板上に設けられる透明な導体を直接穿孔するための従来技術における試みにおいては、レーザエネルギーのごく小部分だけが、透明な導体材料により直接供給される；光の大部分は両方の透明な層を通過する。多くの場合、間接的な穿孔は、層の間の相互拡散の問題点を最小化する。なぜならば透明層の気化させるための熱は透明層の底から生ずるからである。このことが下側の層の中への材料の拡散ではなく、穿孔される材料の外部への除去を促進する。このことはELディスプレイにおける誘電体層およびりん層の品質を維持するために重要である。

10 【0127】本発明はさらに以下の変形実施例により示されている。

#### 【0128】実施例1

この実施例は、バリウムチタン酸塩の厚膜層（Miyata 他文献におけるセラミックシートとして用いられる材料）を簡単に印刷することが、条件の下での電気的絶縁破壊に左右されることを示す。

【0129】単1ピクセルエレクトロルミネセンス素子は、Coorsセラミック（Grand Junction, Colorado, U. S. A）から得られるアルミナ基板（5cm平方、厚さ0.1cm）の上に形成された。背面電極層が基板上に中央に縁からは離されて当接される。使用される材料は銀／プラチナ導体である。これは電子工学においては従来のようにアドレス線として印刷されている。詳細にはCermalloy # C4747（Cermalloy, Conshohocken, Paから入手可能である）が、320のメッシュステンレススチールスクリーンにより厚膜ペーストとしてスクリーン印刷され、感光剤でコーティングされた。この感光剤はフォトマスクを通して紫外線で照射された。その目的はプリントのために維持された感光剤の領域を露光するためである。露光されなかった感光剤は水で溶かして除去された。この個所にはペーストがスクリーンを通して印刷される。次に残りの感光剤が付加的な光照射によりさらに硬化された。プリントされたペーストは150℃の炉の中で数分間、乾燥されて、このペーストメーカーによりすすめられる温度プロフィールでBTUモデルTFF142-790A24ベルト炉において空气中で加熱された。最大プロセス温度は850℃であった。加熱された電極導体層の得られた厚さは約9ミクロンであった。

【0130】誘電体層はこの電極層の上に次のようにして形成される。バリウムチタン酸塩 (ESL # 4520-Electroscience Laboratories, King of Prussia, Pennsylvania から入手可能、誘電定数 2500-3000) が 200 メッシュスクリーンを介して正方形のパターンにプリントされる。その結果、電極の線における電気接触パッドを除いて、すべてがおおわれた。印刷された誘電体ペーストは、製造者によりすすめられる温度プロフィールにより BTU 炉の中の空気中で加熱された (最大温度 900-1000°C)。得られた加熱された誘電体の厚さは 12-15 ミクロンの範囲にある。次に同じ方法で第 1 の層の上に誘電体の第 2 のおよび第 3 の層がプリントされて加熱された。3 つのプリントされて焼結された誘電体層の組み合わせられた厚さは 40-50 ミクロンである。

【0131】りん層が、公知の薄膜技術により誘電体層の上へ直接、被着された。詳細には、マンガンの 1 モルパーセントでドーピングした硫化銅の 0.5 ミクロンの厚さの層が、UHV Instruments Model 6000 電子ビーム蒸着装置を用いて、誘電体層の上へ蒸着される。これらの層は蒸着装置の中で真空の下で加熱されて、約 2 分間、蒸着中に 150°C の温度で維持される。

【0132】りん層が、酸化インジウムすずから成る透明な電気導体の 0.5 ミクロンの層でコーティングされる。この層は、公知の薄膜被着技術により被着される、詳細には電子ビーム蒸着装置を用いて 400°C で真空の下で被着される。

【0133】次にラミネートは空気中で 15 分間、450°C で、酸化りんインジウム導体層を焼きなましする目的で、処理される。インジウムろう接点が入り口層へ設けられる。この素子はシリコンシール材 (Silicone Resin Clear Lacquer, cat. # 419, M. G. Chemicals) によりシールされる。

【0134】この素子は 2 つの電極の間に DC 電圧を加えることにより試験される。この素子は、酸化インジウムすずへの接点の直接近傍の領域における誘電体層の電氣的絶縁破壊を生ぜさせる電圧を加えて機能しなくなるか否かが観察される。

【0135】この素子の故障が、誘電層が、りん層のために必要とされる滑らかな表面を形成しないために生じたことが推定される。微小なひびが表面に観察されることもある。しかしこのことは市販の誘電体ペースト中の障害となる材料の存在に起因することもある。そのため、チタン酸塩バリウムは本発明による単一のまたは第 1 の誘電体層として使用できないことを示す指標ではない。

【0136】実施例 2

この実施例は、なまりニオブ酸塩—この材料はバリウムチタン酸塩よりも高い誘電定数および低い焼結温度を有することが知られている—を含むペーストから成るスクリーンプリント誘電体層が、適切な誘電率を与えるが発光はしないことを示す。

【0137】素子は実施例 1 におけると同様に構成される。しかしニオブ酸塩の誘電体ペースト、Cermalloy # IP9333 (誘電体定数は約 3500、厚さは実施例 1 と同じ) から構成される誘電体層を有する。この素子は、テストされた時に、DC 電圧 400V が加えられた時にも誘電体絶縁破壊が生じなかった。しかし AC 電圧を加えても発光しなかった。

【0138】発光しないことは、りん層との接続における両立性の問題に起因する。このことは、なまりニオブ酸塩が、本発明による単一のまたは第 1 の誘電体層として使用できないことを示す指標とすべきではない。

【0139】この実施例は、本発明により構成される 2 層の誘電体を示す。即ちなまりニオブ酸塩の第 1 誘電体層 (第 2 実施例における様に) およびなまりジルコン酸塩の第 2 誘電層である。所望の発光は達成された。

【0140】実施例 2 におけると同様の素子が構成される。ただしゾルゲル工程を用いてなまりジルコン酸塩 (PZT) の層を、プリントされて加熱された誘電体層へ、りん層が被着される前に、被着させる付加的なステップを有する。ゾルは次のようにして準備された。酢酸が 105°C で 5 分間、脱水される。酢酸なまり 12 グラムが、無色の溶液を形成する目的で、80° の脱水された酸の 7 ml の中へ溶解された。この溶液は冷却されて、5.54 g のプロポキシ化ジルコニウムが、青黄色の溶液を形成する目的で溶液中へ混合された。この溶液は 60°-80° に 5 分間そのままにされ、その後 2.18 g のイソプロポキシ化チタンが攪拌しながら加えられた。生じた溶液は、残存している。溶質が溶解することを保証する目的で超音波バス中で攪拌された。次に 1.75 ml のエチレングリコール、プロパノール、水の 4:2:1 の溶液が、安定ゾルを形成する目的で加えられた。さらに多くのエチレングリコールがコーティングの前にスピンコーティングまたはディッピングのための所望の値へ粘性を調整する目的で、加えられた。準備された誘電体層は、回転コーティングされる、またはゾルでディッピングされた。回転コーティングの場合はゾルが、3000 rpm で水平面で回転中の第 1 誘電体層上へ滴化された。ディッピングの場合は、より高い粘性のゾルが使用された。ディッピング工程のために基板が 5 cm/分の速度でゾルから引き上げられた。得られたコーティングされたアセンブリは次に、ゾルを PZT へ変化させるために温度 600°C で 30 分間、炉の中の空気中で加熱された。PZT 層の厚さは約 2-3 ミクロンであった。PZT 層の表面は、スクリーン印刷されて焼結された第 1 誘電体層の表面よりも著しく滑らかであ

ることが観察された。

【0141】PZT層の被着に続いて、りん層および透明層が実施例1におけるように被着される。

【0142】完成されたラミネートは、発光—電圧特性でMiyata他により報告された特性に類似のまたはそれよりも良好の特性で、製造された。ディスプレイのための最小輝度のための閾値電圧は110Vであった。閾値（即ち160V, 60Hz）を上回る50Vにおける発光光度は57フットランベールであった。

【0143】この実施例は、誘電体層の厚さにおける変化は、動作電圧およびディスプレイの輝度に影響を与える。

【0144】ディスプレイは実施例3におけるように構成された。異なる点は、3つではなく2つだけのスクリーン印刷された誘電体層が被着された。第1誘電体層の厚さはそれに応じて25〜30ミクロンへ低減された。

【0145】最小輝度のための閾値電圧は70V（実施例3において110燭光）が理論的な配慮から期待された。閾値を上回る50Vにおける輝度も、35フットランベール（57燭光フットランベール、実施例3）へ低減された。

【0146】実施例5

この実施例は、スルーホールを用いた駆動回路へ、ELラミネートのローおよび行アドレス線を接続する有利な実施例を示す。

【0147】アドレス指定可能なELディスプレイは、実施例3において示された層被着の同じシーケンスを用いて、構成される。基板は0.025インチの厚さの長方形のアルミナであった。このアルミナは、長さインチで幅2インチの寸法を有するCoors Ceramics (Grand Junction, Colorado, U. S. A) から入手された。基板は、図4に示されているパターンで、二酸化炭素レーザを用いて、直径0.006インチの貫通ホールがあげられた。基板は、全部のホールが明瞭であることを保証する目的で、検査された。孔は、レーザに面している側では直径が約0.008インチであり、反対側では約0.006インチであることがわかった。大きい方の孔を有する側は、貫通ホールの中へ導電材料を挿入することを容易化する目的で、基板の裏側に選定された。

【0148】これに続いて、図5に示された回路パターンが、Cermalloy #4740銀プラチナペーストを用いて、325のメッシュステンレスステンレススチールスクリーンにより、プリントされた。このプリント工程中に基板は、図4に示されたのと同様のパターンで開けられた0.040インチの孔を有するマスタプレートと心合わせされ、さらに基板における貫通ホールを通して導電ペーストを引き出すためにマスタプレートの下に真空が加えられる（即ち基板の紙面側から見て、全面へ）。このステップは、基板における貫通ホールの各々

を通る導電路と共に、図5の回路パターンを形成した。真空の印加における一様性を保証する目的で、真空は、基板がプリントされてからはじめて加えられる。この部分は、貫通ホールが充てんされることを保証する。

【0149】プリントに続いて、基板が、ペースト製造者により進められる温度プロフィールで、BTUモデルTF F142-790A24の中で加熱される。最高温度は850℃であった。

【0150】このステップに続いて、図7に示された回路補強パターンがプリントされて基板の回路裏側が加熱される（同じCermalloy導電ペーストを用いて）。このステップがこの回路パターンを、電気接続が実質的になされるべき所定の領域において、より厚くさせる。

【0151】次に列アドレス線および前側の列および行コネクタパッドは、基板の前側の上へスクリーン印刷された。線は基板の長さによりわたり、図6に示されている列コネクタパッドへ延在した。図5に示されている行コネクタパッドがこの同じステップにおいてプリントされる。列アドレス線およびコネクタパッドは同じプリント条件および加熱条件を用いて、同じ導電ペースト（Cermalloy #4740）から形成された。基板は同じマスタプレート上で図4の貫通ホールにより位置定められて、真空が、導電ペーストを貫通ホールを通して基板の裏側へ引き出す目的で下から加えられた。加熱された電極層の厚さは約8マイクロメートルであった。1インチあたり52アドレス線が形成され、さらに全部のアドレス線の数には68であった。この部分は、貫通ホールが充てんされることを保証する目的で検査がなされた。

【0152】3層の誘電体ペースト（Cermalloy #1P9333）が、厚さが約50マイクロメートルの誘電体層を形成する目的で、実施例3に示されたように、プリントされて加熱された。

【0153】次に基板の回路裏側がシールされた。厚膜ガラスペースト（Heraeus 1P9028, Heraeus-Cermalloy, Conshohocken, Pa製）が、図8に示されているパターンで25.0メッシュスクリーンを用いてスクリーンプリントされた。高電圧駆動チップへおよび他の駆動回路へ接続するためのコネクタパッドはカバーされなかった。次にガラスシール層が、製造者により勧められる温度プロフィールを用いて、BTUベルト炉の中で最高が700℃の温度で加熱された。

【0154】前述の加熱中に基板は、回路側の上のプリントされた材料と炉のベルトとの間の接触を回避する目的でセラミック材料部材の上で支持された。

【0155】ゾルゲル層は実施例3に述べたように実質的に浸漬によって形成される。3つ又は4つのゾルゲル層が典型的には用いられる。例えば落球粘度計によって測定されたほぼ100cPの粘度を有する混合からの1

0~25 sec/inのブーリングレートでもって用いられる。浸漬層の間ではゾルゲルは110℃で10分間乾燥される。バキュームチャックはラミネートのアクティブ領域に亘って行われ、ゾルゲルは残りの領域を外して水洗される。その後当該層はベルトファーンネスにおいて約660℃で25分間焼結される。これによりゾルゲル全体の厚さが3~10 μmの間で達成される。これは1%のマンガンによってドーピングされ0.5~1.0 μmの厚さの硫化亜鉛が用いられた実施例3の燐光層によって引き継がれる。

【0156】アドレスラインの行は実施例3において既述したようにインジウムスズ酸化物の付着されたものである(図9にパターンが示されている)。そこでは1インチ毎に約52のアドレスラインの行が存在し全体では256の行となる。ライン間の間隔は0.001インチで、ライン幅は0.019インチである(center to center)。

【0157】図10に示したパターンのように銀はシャドウマスクを通して行コネクタパッドへのアドレスラインの行の電気的接続形成のためにホールコンダクタを通して基板上に蒸着される。

【0158】ラミネートの見えている表面はシリコンシーラントによってシールされる。このシリコンシーラントはディスプレイのフロント表面全体に亘って噴霧されている。このシーラントにはM. G. ケミカルのシリコン樹脂クリアラッカ, Cat #419が用いられる。

【0159】ディスプレイ全体は、基板の後側に設けられた回路上の列と行のパッドの対を交差して60 Hz 160 Vの矩形波信号を供給するパルス発生器との接続によって検査される。ディスプレイの各ピクセルは個別の照明に基づくものであり、電圧を供給された場合の実施例3において測定されたものと同じ一貫した強度である。機能的に障害のあるピクセルは17408の全ピクセル中から見つけだされる。

#### 【0160】実施例6

この実施例では本発明のELラミネートのインジウムスズ酸化物-アドレスラインがスクライビングされるレーザの有利な具体例が示されている。

【0161】アドレスで呼び出せるマトリックスディスプレイは以下のプロセスで用いられるセラミック基板上に構成されている。このセラミック基板は厚さは0.025インチで、長さ6インチ、幅2インチのアルミナ矩形体あり、Coors Ceramics (Grand Junction, Colorado, U. S. A) から得られる。この基板にはカーボンディオキシドレーザを用いて直径0.006インチのホールが開けられる。このパターンは図4に示されている。これらのホール全てが貫通していることを保証するためにその一部が検査される。

【0162】このステップに続いて図5に示されている

回路パターンが325の網のステンレススクリーンによってプリントされる(このスクリーンにはCermalloy (Conshohocken Pennsylvania, U. S. A) #4740シルバー白金ペーストが使用される)。プリント過程の間は、基板がマスタープレートに配列される。このマスタープレートはプリント中に基板ホールへのバキュームの供給を容易にするために基板と同じボタンで開けられた0.04インチのホールを有している。バキュームは、一部の焼結の後にセラミック基板を通る伝導性パスの形成を容易にするためにホールを通してペーストを吸収する。この一部は大気中にてBTUモデルTF142-790A24ベルトファーンネスにおいてペースト製造元の推薦する温度データ、すなわち最大温度850℃でもって焼結される。このステップに続いて、図7に示されている回路補強パターンがプリントされ基板後方の回路側に焼結される(ここでも前述の"Cermalloy"導電性ペーストと同じものが使用される)。このステップは、その後に電気的接続のなされる確実な領域において比較的厚い回路パターンを生ぜしめる。

【0163】これに続いて、アドレスライン列のセットとコネクタパッドは基板の見えている前面にプリントされる。これらのラインは基板の全長に沿ってコネクタパッドまで延在している(図6)。コネクタパッドの行はこのステップ(図6)において形成される。アドレスライン列とカラムコネクタパッド列は、同じプリント及び焼結状態で用いられる同じシルバー白金ペーストから形成される。基板は図4の貫通ホールを有している同じマスタープレート上に位置している。バキュームは下方から貫通ホールを通して基板の後側に向けて導電性ペーストを押し出すために供給される。焼結された電極層の厚さは約8 μmである。1インチ毎に52のアドレスラインが存在し、アドレスラインの総数は68である。

【0164】鉛・ニオブ酸塩誘電ペースト(Cermalloy #IP9333)の次の3つの層はその後プリントされベルトファーンネスにおいて製造元で推奨されている温度コンディション(最大温度850℃)でもってアドレスライン列の上部に焼結される。誘電層の結合厚さは50 μmである。

【0165】このステップに続いて、基板後方の回路側は、そのボタンが図8に示されている実施例5に基づきシールされる。

【0166】次に3~10 μmの厚さの鉛・ジルコン酸塩・チタネート(PZT)の層は、なめらかな表面を形成するために鉛・ニオブ酸塩誘電ペースト上に付着される。実施例5に基づき使用され浸漬されるゾルゲル技術が用いられている。薄膜状の燐光層は、電磁ビームを用いた公知方式の蒸発によって付着される。燐光層は1%のマンガンでもってドーピングされた硫化亜鉛である。

これは0.5~1 μmの間の厚さに亘って付着される。

【0167】次のステップは300nmの厚さの、インジウム・錫酸化物（ITO）の層を公知方式の電磁ビーム蒸発の用いられた燐光層の上に付着させることである。

【0168】このITO層は、514.5nmの波長に反転されるアルゴンイオンレーザーの2watt CW（連続波長）を用いて256のアドレスラインへパターン化される。ELラミネートは可動のX軸テーブル上に取り付けられる。このX軸テーブルはラミネートをレーザービームによってスクライビングされるラインに対して垂直方向に動かす。レーザービームはラインをスクライビングするためにY軸方向に動かされる。レーザービームは12マイクロメートルのスポットに収束され、レーザー出力は次のように調整される。すなわちインジウム・錫酸化物とその下の燐光層とその下の結合された誘電層の約10%とが、（約1.8W）のレーザービームの走査された個所において取り除かれるように調整される。走査速度は、それぞれ約40μm又は25μmのギャップをおき、6~8μm又は3~4μmの深さでもってアドレスラインを設けるために約10.0mm/sec及び50.0mm/secに制御される。アドレスライン間（例えばライン中央間）の間隔は約500μmである。基板近傍のバキュームは材料の蒸発と除去を中止させる。透過電極のパターンにおいては図9に示されているように除去が一度に完全に行われる。全ディスプレイ上では約50のアドレスラインの行が1インチ毎に存在し、全体で256のカラムが存在する。

【0169】ITOカラムラインがスクライビングされる前にフロント（行）コネクタパッドと最初のITOアドレスラインとの間のシルバー・内部接続部が図10のパターン図に示されているようにシャドウマスクを通してシルバーからスクリーン印刷される。

【0170】レーザースクライビングの後では全ディスプレイのフロントビュー側が保護ポリマコーティング剤を噴霧される（MGケミカル製シリコンリジンクリアラック，cat#419）。

【0171】ディスプレイはその後選択されたピクセルを横断する電圧を、パルス電力供給部との接続によって供給されて検査される。このパルス電力供給部は160Vのパルス電圧を64Hzの繰返し周波数で供給する。各ピクセルは前記実施例の単一ピクセル装置に相応する光度でもって確実に点灯する。

【0172】当該実施例のアドレスラインによれば写真平版技術形式によって得られるものよりも高度なものが基本的に得られる。

【0173】実際に使用され得る装置の典型例ではITOアドレスラインの幅が180~205μmで、ライン間のギャップが65~80μmである。前記のことから出発して本発明によれば25μmと40μmのギャップがレーザーの走査速度に依存して生ぜしめられる。このよ

うな高い解決手段はディスプレイの全体に対して能動的な領域の比較的高いレシオを考慮するものとなる。なぜなら比較的小さなギャップで比較的王道的なITOアドレスラインが使用され得るからである。

#### 【0174】実施例7

この実施例は本発明に従って誘電的に構成された2つの層で表される。但しこの実施例では最初の誘電層は、前記実施例3及び4で用いられたペーストよりも誘電率の高いペーストから形成される。

【0175】この装置は前記実施例の3から出発して構成されているが、しかしながら第1の誘電層は鉛・ニオブ酸塩ペーストから形成される。このペーストは、ナンバ4210を用いて電気化学実験から高キャパシタンスペーストKとして得られる。焼結されたペーストは約10000の誘電率を有する。最初の誘電層は約50μmの厚さを有する。PTZのゾルゲル層には実施例3に記載されたように約5μmの厚さが適用される。

【0176】この装置は最小輝度に対して91Vの閾値電圧と150Vで50フートランベルトの光度でもって機能する。

#### 【0177】実施例8

この実施例は誘電的に構成された2つの層で表される。この場合第1の誘電層は鉛・ニオブ酸塩ペーストで形成され、第2の誘電層は鉛・ランタン・ジルコン酸塩・チタン酸塩ペースト（PLZT）から形成される。このPLZTは約1000の誘電率を有している。このPLZTにおいてはジルコニウム：チタニウム：ランタンの質量比が52：32：16である。

【0178】実施例3から出発するものとして構成された装置は以下のようにして生成されたゾルゲル層を有している。

【0179】50mlの氷酢酸の中へ純度99.5%の酢酸鉛120グラムを溶解する。この溶液は90℃まで熱せられる。その後70℃まで冷やされる前に2分間この温度で保持される。次に55.4グラムのジルコニウムプロボキシドを加え、この溶液を80℃まで熱し、この温度で1分間保持する。70℃まで冷された後にチタニウム・イソプロボキシドが21.8グラム加えられる。次に、硝酸ランタン11.4グラムを20mlの氷酢酸で溶解して、前記溶液に加える。最後にこの溶液を安定化させ、粘度を適合値へ調整するために、エチレングリコール10ml，プロパン-2ol 5ml，脱塩水2.5mlがそれぞれ加えられる。

【0180】PLZTゾルゲル層は前記実施例3に記載されたものと類似の手段による浸漬によって形成された最初の誘電層に用いられる。浸漬された部分はPLZTに対する第2の層に転化させるために600℃でもって焼結される。PLZTの4つの層が、燐光層の付着のための十分に滑らかな表面を作成するために前記のような連続的な浸漬と焼結によって使用される。全体で5μmの

厚さが得られる。

【0181】この装置は75Vの閾値電圧と150Vで37フットランペルトの光度でもって機能する。

【0182】これまでに言及してきた全ての記載は、本発明に関係する熟練を要する形式の特殊技術レベルを示すものである。全ての記載はここにおいて関係により言及されるべく各個別の記載が詳細かつ個別に示されたものであるのと同じ範囲の言及でもって具体化されたものである。

【0183】本明細書において用いられた専門的用語及び表現は説明のための用語として用いられたものであって限定を加えるためのものではない。またこのような専門用語及び表現の使用に関してこれまでに図示及び説明してきた特徴に相応するものを除外するほどに強調されたものでもない。あくまでも本発明の範囲は請求項において明示され限定されているものであることを述べておく。

【0184】

【発明の効果】本発明により、改善されたエレクトロルミネセンスラミネート誘電層構造体およびこの誘電層構造体を生成する方法が提供される。

【図面の簡単な説明】

【図1】本発明の2つの誘電層を含むラミネート構造体の横断面図である。

【図2】図1のラミネート構造体の平面図である。

【図3】列電極アドレス線路および行電極アドレス線路を電圧駆動回路の電圧駆動コンポーネントと接続する有

利な実施例を示す、行電極に沿って切断されたラミネート構造体の横断面図である。

【図4】アドレス線路と駆動回路の電圧駆動コンポーネントとを電気接続するためのスルーホールのある利なパターンが設けられた背面基板の平面図である。

【図5】背面基板の背面側に印刷された有利な駆動回路パターンの平面図である。

【図6】背面基板の前面側に印刷された列電極および行経路の平面図である。

10 【図7】図5の駆動回路パターン上に有利に印刷された回路経路補強パターンの平面図である。

【図8】図5および図7の駆動回路パターンと回路経路補強パターン上に有利に印刷されたシーリングガラスパターンの平面図である。

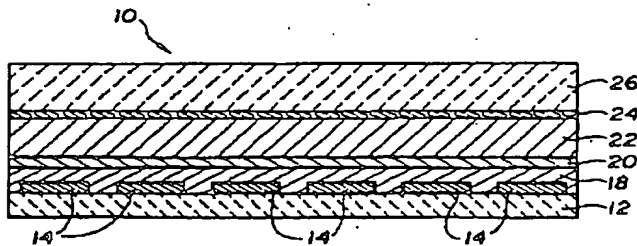
【図9】行電極線路パターンの平面図である。

【図10】図9の行線路と図6の行経路との間に印刷された電気接続の平面図である。

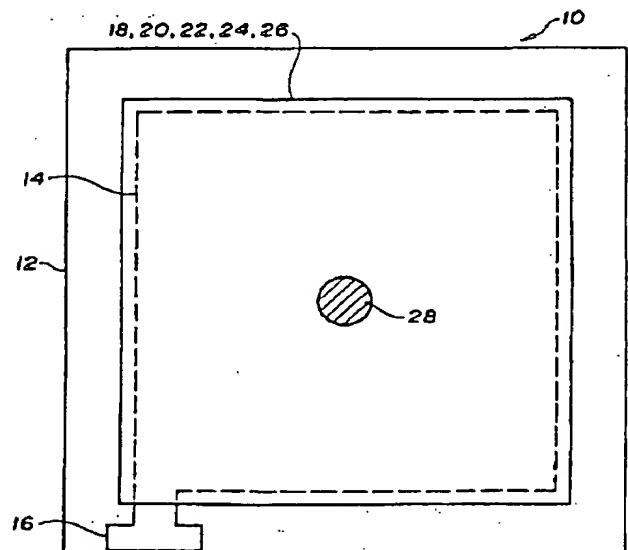
【符号の説明】

- 10 誘電層構造体
- 12 基板
- 14 背面電極
- 18 第1の誘電層
- 20 第2の誘電層
- 22 燐光層
- 24 前面電極
- 26 シール層

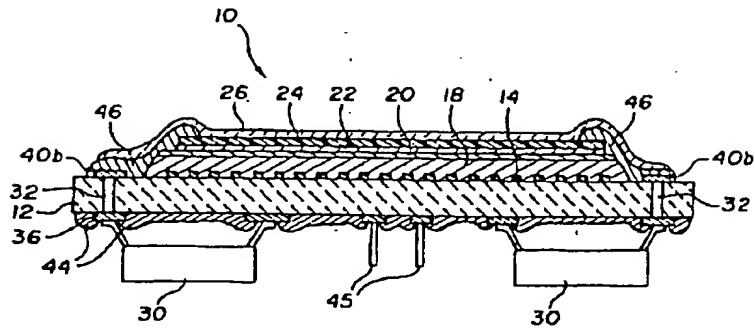
【図1】



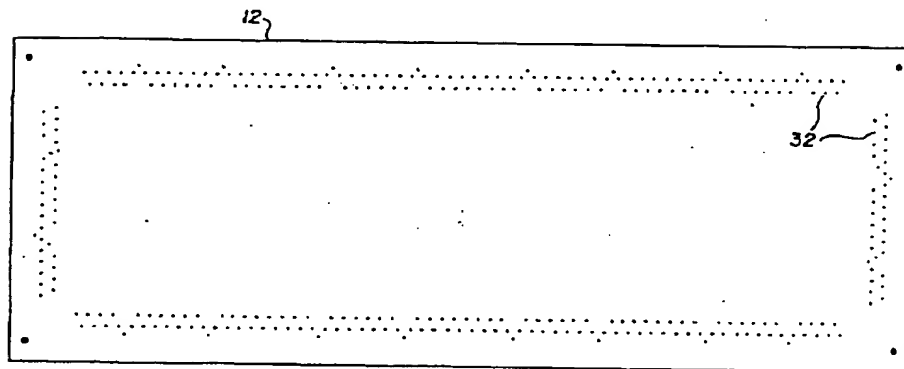
【図2】



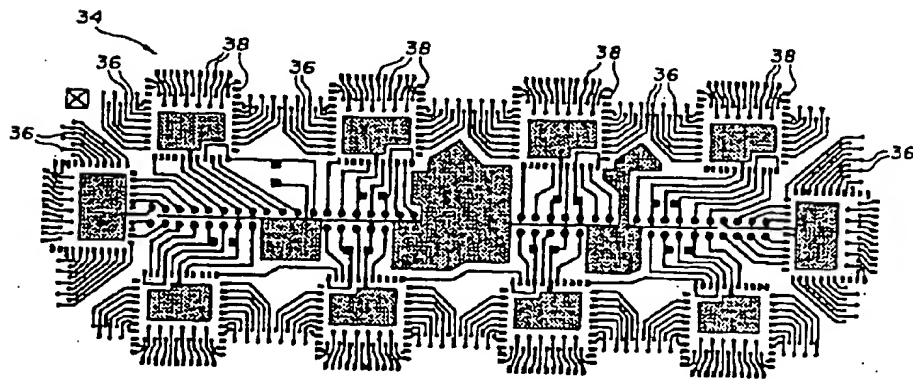
【図 3】



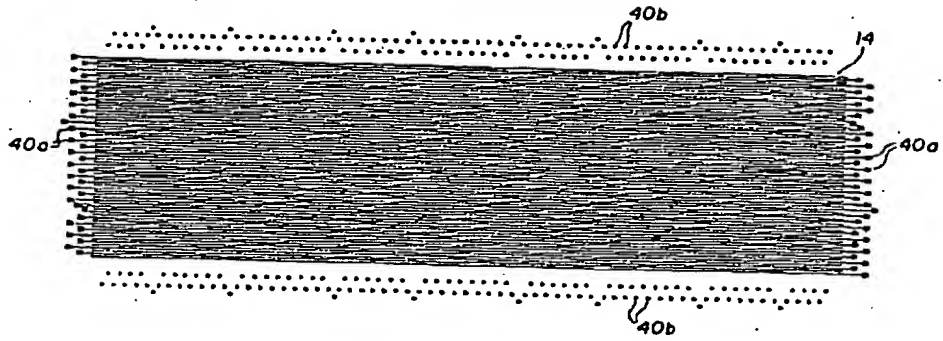
【図 4】



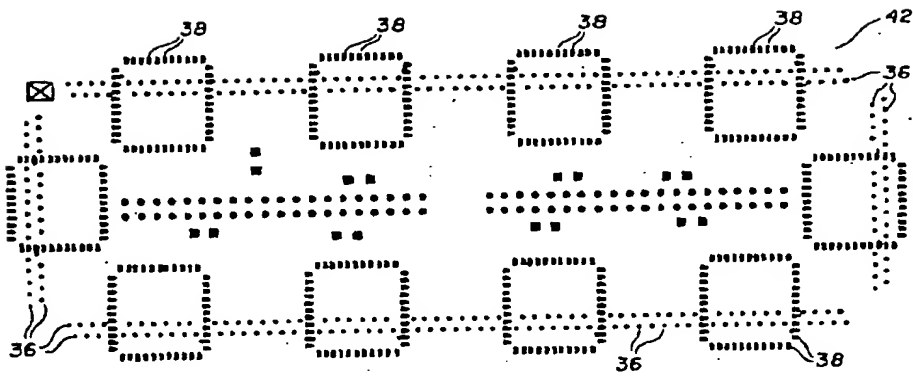
【図 5】



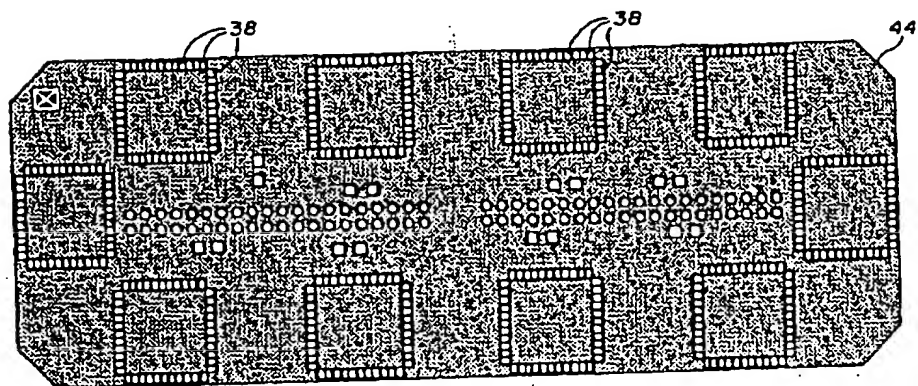
【図6】



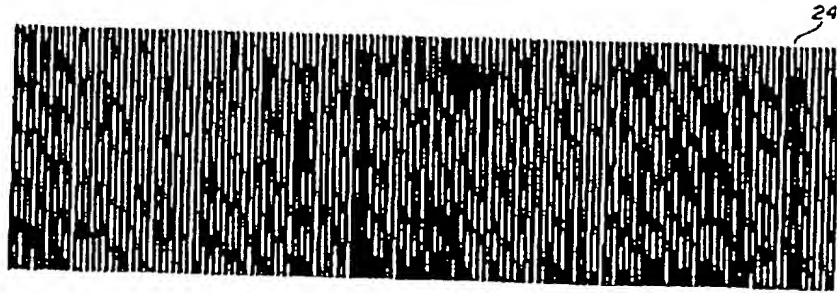
【図7】



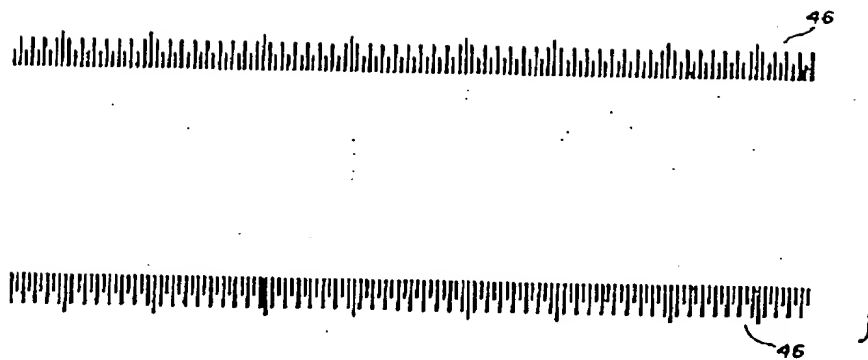
【図8】



【図 9】



【図 10】




---

フロントページの続き

(72)発明者 ケン コック フー  
 カナダ国 アルバータ エドモントン  
 10032-113 ストリート 10

(72)発明者 フィリップ ベイリー  
 カナダ国 アルバータ エドモントン  
 10011-89 アヴェニュー 102

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of an electroluminescence lamination and an electroluminescence lamination. this invention relates to the electroluminescence display panel which performs electrical connection from an electroluminescence lamination to a voltage drive circuit again. this invention relates to the laser which engraves a pattern on a flat lamination further. The aforementioned pattern is the address line of the transparent electrode of an electroluminescence lamination for example.

[0002]

[Description of the Prior Art] An electroluminescence (EL) is discharge of the light from the fluorescent substance by having applied electric field. Electroluminescence devices are useful as a lamp or a display. Recently, electroluminescence devices are used for a flat panel-display element. This element has the pixel in which addressing is possible in a rectangle matrix according to a predetermined characteristic configuration or an individual.

[0003] Pioneering research of an electroluminescence was done by GTE/Sylvania.

Alternating voltage is supplied to powder or a scattered-about type EL element. With this element, light-emission fluorescent substance powder is embedded in organic adhesives, the deposit of this is carried out on the glass substrate, and it is covered by the transparent electrode. Generally these powder or a scattered-about type EL element is low brightness, and has the fault which bars wide range application.

[0004] The thin film electroluminescence (TFEL) element was developed in the 1950s. It is known well, for example, the basic structure of an alternating current thin film EL lamination is Tornqvist, R.O. work, "Thin-Film Electroluminescent Displays", and Society. for Information Display, 1989, International Symposium Seminar Lecture It is indicated by Notes and the U.S. JP,4857802,B specification. The fluorescence layer is sandwiched between electrode pairs and separated from the electrode by the insulation/dielectric layer, respectively. Most generally fluorescence material is ZnS which contains Mn as activator (dopant). ZnS:MnTFEL is yellow luminescence. The fluorescent substance of other colors was developed.

[0005] The film of the conventional TFEL lamination is used as a substrate, and the deposit of usual is carried out to glass. A membranous deposit is substantially performed by a well-known thin film technology, for example, electron beam vacuum deposition, or sputtering. It is performed by atomic film epitaxy (ALE) recently. The thickness of the whole TFEL lamination is only 1 or 2-micron order.

[0006] It is used so that various insulation/dielectric materials may be well-known and a fluorescence layer may be explained in detail from an electrode later, separation and in order to carry out electric insulation.

[0007] It differs depending on whether two electrodes have it in a side or "before" side, respectively (in direction to see). [ "after" an element ] For example, a charge of a reflector like aluminum is typically used for a posterior electrode. A transparent indium stannic-acid ghost (ITO) is optically used for an anterior electrode typically thinly in comparison. When applying to a lamp, two electrodes take the gestalt of a continuation film and, thereby, the whole fluorescence layer is exposed to electric field by inter-electrode. In the typical example of display application, the anterior electrode and the posterior electrode are appropriately patternized by the electric conduction address line which defines a line electrode and a train electrode. A pixel is set to the place with which a line electrode and a train electrode lap. The various electronic display elements which carry out the addressing of each pixel are well-known by impressing voltage to one line electrode and one train electrode simultaneously.

[0008] There is difficulty that a large number are simply [ the concept ] actual to development of thin film electroluminescence devices. The 1st difficulty is that an element is formed from each lamination in which the deposit was carried out by the thin film technology. It is because a thin film technology is the technology which time and cost require. The very small defect in a film may also cause failure. It is that these thin films operate relatively typically to the 2nd by the high voltage (it is 300-450V for example, at a peak peak). This voltage is actually like [ which makes it flow through it and operates a fluorescence layer exceeding the dielectric breakdown voltage ]. It is required that the thin film dielectric layer of the both sides of a fluorescence layer should restrict or prevent inter-electrode electric conduction. Application of big electric field causes inter-electrode dielectric breakdown, and causes failure of an element.

[0009] Especially this invention prevents the electric discharge which passes an insulation/dielectric layer, and the fluorescence layer of electroluminescence devices. In order to operate electroluminescence devices well, it is required to insulate an electrode (address line) from a fluorescence layer. This is performed by an insulation/dielectric layer. Typically, an insulation/dielectric layer is prepared in the both sides of a fluorescence layer, and is formed from the dielectric material of an alumina, a yttria, a silicon dioxide, a silicon nitride, or others. It is accelerated by electric field so that this may pass a fluorescence layer, and the electron from working [ of an element ] and the interface between an insulating layer and a fluorescence layer collides with a dopant atom in a fluorescence layer, and emits light as a result of a collision process. In order that the field strength which passes a fluorescent substance may guarantee a fully high thing with the conventional TFEL element, the thickness of a dielectric layer is about [ thinner / than a fluorescence layer / usually / or same ]. If a dielectric layer is too thick, the great portion of voltage supplied between the address lines will pass not a fluorescence layer but a dielectric layer.

[0010] It is important for a dielectric layer that it is compatible with a fluorescence layer. It means that a pouring interface good [ "compatible" more ] to the 1st in this specification and a claim is formed. That is, in order for the source of a "heat" electron to be in a fluorescence interface and to make the flow and light emission in a fluorescence layer start based on application of electric field, it means that this can be promoted and

tunneled to a fluorescence flow band. In a meaning compatible to the 2nd, a dielectric material means that it must be chemically stable so that this may not cause an adjacent layer (namely, a fluorescent substance and an electrode) and a reaction.

[0011] In order to obtain luminescence sufficient in typical TFEL, the voltage supplied is very close to the voltage which dielectric breakdown of a dielectric band generates.

Therefore, manufacture management about a dielectric layer, fluorescence layer thickness, and quality must be severely performed in order to prevent dielectric breakdown. It is made difficult that this demand acquires yield high on the contrary.

[0012] Typical TFEL structure is formed in the posterior from the anterior (in direction to see). The deposit of the thin film is continuously carried out to the suitable substrate. A glass substrate is used in order to acquire transparency. The deposit of the transparent anterior electrode (ITO address line) is carried out to the glass substrate by sputtering by the thickness of about 0.2 microns. The deposit of the substrate dielectric-fluorescent substance-dielectric layer is usually carried out by sputtering or vacuum deposition.

Fluorescence layer thickness is about 0.5 microns typically. The thickness of a dielectric layer is about 0.4 microns typically. Usually, after the deposit, the fluorescence layer is annealed in order to raise efficiency by about 450 degreeC. Next, a posterior electrode is added and it is the gestalt of the aluminum address line with a thickness of 0.1 microns typically. The completed TEFL lamination is encapsulated in order to protect it from external moisture. Epoxy sheet metal cover glass or a silicone oil capsule is used. Since the initial substrate used for a deposit is glass typically, the material and deposit technology which are used with TEFL lamination structure cannot carry out high temperature processing.

[0013] The high field strength used for operating a TFEL element imposes a severe demand on a dielectric layer. High dielectric strength is required in order to avoid dielectric breakdown. It is advantageous in order that the dielectric which has a high dielectric constant may obtain luminous efficiency by low driver voltage as much as possible. However, the result satisfied depending on the attempt which uses the material of a high dielectric constant is not obtained.

[0014] In order to make driver voltage of a TFEL element low, an insulating layer is formed from high dielectric constant material,  $\text{SrTiO}_3$  and  $\text{PbTiO}_3$ , and  $\text{BaTa}_2\text{O}_3$ . [ for example, ] This is indicated by the U.S. patent specification No. 4857802. However, such material does not show low dielectric breakdown intensity good. In order to acquire the flat-surface orientation (111) which increased the dielectric layer from the perovskite crystal structure object on U.S. Pat. No. 4857802 specifications, forming with thin film deposit technology is indicated. Being obtained by the dielectric layer with a thickness of about 0.5 microns to which high dielectric strength (about [ about  $8 \times 10^5$  - ]  $1.0 \times 10^6$  V/cm) used  $\text{SrTiO}_3$ ,  $\text{PbTiO}_3$ , and  $\text{BaTa}_2\text{O}_3$  for this specification is indicated. These all have a high dielectric constant and the perovskite crystal structure. This element is complicated and it is difficult to control by thin film deposit technology over a dielectric layer.

[0015] Development of the TFEL element which used the sheet metal ceramic insulating layer and the thin film electro RUMINE sense has also been performed (286 to Miyata, SID 91 written by T Digest, pp 70-73, and pp289 reference). This element is formed from a  $\text{BaTiO}_3$  ceramic sheet. A sheet casts fine  $\text{BaTiO}_3$  powder on a disk (diameter of 20mm), and is formed using the conventional cold-press method. A disk is calcinated in

air by 1300 degreeC. Next, it is ground by the sheet with a thickness of about 0.2mm. The deposit of the luminous layer is carried out to a sheet by the thin film using the chemical vacuum depositing method or RF magnetron sputtering. Next, the deposit of the suitable electrode layer is carried out to the one side of the structures using a thin film technology. Although this element shows a desired property, it is not desirable to manufacture a commercial TFEL element from a solid ceramic sheet. It is economically unrealizable to grind a big ceramic sheet in fixed thickness of 0.2mm.

[0016] It is also well-known to use a multilayer insulation / dielectric layer on both sides of a fluorescence layer. For example, on U.S. Pat. No. 4897319 specifications, TFEL which sandwiched EL fluorescence layer between insulating deposition object pairs is well-known. In this case, both insulating deposition both [ one or ] have the 1st layer of a silicon oxidization nitride (SiON), and the 2nd comparatively thick layer of a barium tantalate (BTO). The 1st SiON layer shows high insulation and the 2nd BTO layer has a high dielectric constant. On the whole, this structure is characterized by brightness with the high fluorescence layer in the conventional voltage. However, the deposit of the insulating layer is carried out by RF sputtering, and this is disadvantageous for the thin film technology explained above.

[0017] Brightness is higher than the conventional TFEL element advantageous to manufacturing, and there is a demand of as opposed to a low TFEL element in operating voltage. It is required for this to obtain the dielectric layer which has dielectric strength higher than field strength required to drive an element.

[0018] Manufacturing an electrode pattern to a transparent electrical conducting material, for example, an indium stannic-acid ghost, includes often large-scale and expensive masking, and a photograph plate and a chemical etching process. It is proposed in order that laser may \*\*\*\*\* to such a transparent electrical conducting material. Generally, carbon dioxide gas, the argon, and the YAG laser are used. Such laser forms light in visible and the infrared field (generally 400nm or more) of an electromagnetic-spectrum field. However, it is a problem to use the light of such long wavelength in order to carry out the scribe of the electrode pattern when the deposit especially of the transparent electrical conducting material is carried out to another stratum lucidum. On the conventional TFEL display, before the deposit of transparent-electrode material and other layers of EL lamination [ an indium stannic-acid ghost (ITO) ] of a transparent display in a lath is carried out typically, a deposit is carried out. In an insulating material or a semiconductor material, the light of long wave length is not strongly absorbed rather than it \*\*\*\*\*s to the energy of the electronic band gap in the material. The wavelength which \*\*\*\*\*s in a band gap to a transparent material optically is shorter than the wavelength to a visible ray. Therefore, transparent-electrode material seldom absorbs a laser beam. This is because a \*\*\*\*\* and layer thickness are [ the wavelength of light ] thin, and this makes it difficult to use laser energy for removing the electrode address line directly.

[0019] In the solar battery, the process which carries out the deposit of the transparent-electrode pattern to another stratum lucidum is indicated by the U.S. Pat. No. 4292092 specification and the U.S. Pat. No. 4667058 specification. It indicates that these patent specifications carry out patterning of the electrode using a pulse YAG laser. However, the wavelength of an YAG laser is too [ fully being absorbed by the stratum lucidum ] long. In order to compensate a low absorption coefficient, it is used in order that the big laser of peak power may evaporate a transparent electrode thermally. A neodymium

YAG laser operates at 4-5W, 36kHz pulse rate, and the rate of a scan of 20 cm/s. In the example indicated by the patent specification, an ITO layer does in this way and a deposit is carried out to glass. However, it is indicated that the line by which the scribe was carried out has imperfect removal of ITO, and glass has the depth to hundreds of Å in the dissolved place. Remains ITO must be removed by the etching step of after that.

[0020] Another means to form an electrode pattern in transparent-electrode material uses an excimer laser. This laser generates the light of the wavelength of an ultraviolet-rays field short in comparison by the electromagnetic spectrum. On this wavelength, laser energy is absorbable with transparent-electrode material. It is well-known to form an electric conduction pattern to a liquid crystal display (a U.S. Pat. No. 4980366 specification and U.S. Pat. No. 4927493 specification), an optical Volta cell (a U.S. Pat. No. 4783421 specification and U.S. Pat. No. 4854974 specification), and an integrated circuit (U.S. Pat. No. 5109149 specification) by the laser of this property. transparent [ in an electrode dot-matrix pattern / on a transparent substrate ] to WO 90/0970 published on August 23, 1990 -- the process which carries out a scribe to a conductor with an excimer laser is indicated

[0021] An excimer laser can emit the light of wavelength short enough to absorbing by the transparent electrode, and it can carry out patterning by removing an electrode directly. However, such laser is comparatively expensive and a scribe process must be controlled carefully not to dissolve or remove the display glass which is downward. Still such a process will remove transparent-electrode material too much, or may remove it imperfectly. For example, when WO 90/0970 does not remove a part of material which should be removed, it is indicated by it in the portion which remained that it is chemical or removable with plasma etching.

[0022] Another problem in the case of carrying out the scribe of the transparent-electrode material on a transparent substrate is indicated by the U.S. Pat. No. 4937129 specification. In order to avoid the diffusion between layers, or cross contamination, preparing a diffusion-barrier layer in an interface is indicated.

[0023] In order to reinforce absorption of a laser beam, carrying out surface treatment to transparent-electrode material is indicated by another patent specification. for example, oxidizing in order to look a metal film front face like [ a U.S. Pat. No. 4909895 specification ] comparatively to a laser beam and to make it not reflect is indicated Coating a U.S. Pat. No. 4568409 specification with the stratum lucidum which should be removed with coloring matter so that a laser beam may be absorbed alternatively in the part where it asks for removal is indicated.

[0024] The control circuit which drives an ElectroLuminescent Display is developed. Fundamentally, this circuit changes a serial video data into a parallel data, and supplies voltage to the line and train of a display. The above lines and the driver element (chip) of a train are available.

[0025] An unsymmetrical drive and symmetrical drive technology are used with ElectroLuminescent Display technology. By the unsymmetrical driving method, when a driving pulse impresses the negative bottom voltage of a threshold to an EL panel simultaneous in one train, it is supplied. The line (namely, line which should emit light) as which the positive voltage pulse was chosen is supplied during the scanning time of each train, and null voltage is supplied to the line (namely, line which should not emit light) which was not chosen. On the intersection of the selected row and column, the train

voltage under a threshold and voltage equal to the sum of the right pulse voltage of a line are supplied through a pixel, and luminescence is caused. After the addressing of all the trains of a panel is carried out, a positive polar refreshment pulse is simultaneously supplied to all trains, and all lines are held 0V.

[0026] A refreshment pulse is omitted by the symmetrical driving method. Instead, an opposite polar driving pulse set is supplied to a panel. In order to hold a panel to operating state, a train is scanned by the mutual polar pulse by even frames and the odd frame. Mutual polarity causes a net zero charge by all display pixels.

[0027] The above high-voltage driver elements (chip) are available with the drive technology of both asymmetry and the symmetry.

[0028] The element to a mutual drive circuit and an ElectroLuminescent Display is well-known, and is developed. for example, K -- Shoji work -- Bidirectional Push-Pull Symmetric Driving Method of TFEL Display, Springer Proceedings in Physics, Vol.38, 1989 and 324, and Sutton work, Recent Developments and Trends in Thin-Film Electroluminescent Display Drivers and Springer Proceedings in Physics, Vol.38, 1989 and 318 and Bolger work, A Second Generation Chip Set for Driving EL Panels, SID, 1985, 229 references.

[0029] The above-mentioned driving method is called multiplexer (passive) matrix addressing method. Theoretically, the method of driving other, for example, the active-matrix addressing method, can be used for an ElectroLuminescent Display. However, these are not developed yet. You should conclude that such a mutual driving method is within the limit [ of the meaning of the phrase voltage drive circuit used on these specifications ].

[0030] In the conventional ElectroLuminescent Display, one means to connect the address line of a line and a train to a drive circuit is pressurizing the polymerization strip which contains very much many metal sheets which approached very densely between the contact train connected to the display address line, and the contact train connected to the driver element of a drive circuit. The drive circuit is arranged at the separate circuit board (refer to U.S. Pat. No. 4508990 specification). a polymerization strip -- ERASUTOME of a layer structure -- it is a rucksack element (LEE) and is known for the tradename of STAX and ZEBRA LEE consists of a mutual layer of electric conduction ERASUTOME rucksack material and non-conducting current ERASUTOME rucksack material. A polymerization strip avoids the connection into which the bone of connecting the individual wire of hundreds to a contact using solder or welding breaks. However, this interconnection technology is unreal and does not function good at high temperature to which the creep of the polymerization material is carried out.

[0031] Since a line and the train address line are connected to a liquid crystal display (LCD) drive circuit, it is possible to use another means used in common, i.e., chip-on glass technology, (COG) also to an electroluminescence. The driver element (chip) to which the address line must be connected is arranged on the outskirts of an end of a display. In the case of LCD, the address line by which vacuum evaporation is carried out to the rear face of display glass has extended from the active field of a display. Therefore, termination of the address line can be carried out with the contact pad arranged at the pattern, therefore it can carry out bonding of the chip to this. Wirebonding attaches a chip in display glass and it needs to connect a fine gold wire to the contact pad in which the output pad of a chip and the address line \*\*\*\* individually.

[0032] the advantage of COG technology is boiling markedly the number of contacts

between display glass and a drive circuit, and being able to reduce it. It is because many contacts are between a driver chip and the address line far. Although connection of 20 to 30 is between a driver chip and other portions of a drive circuit typically, in between, the address line has connection of 2000.

[0033] The big fault of COG technology is the difficulty of carrying out wirebonding of the driver chip to the thin film pad of the address line. Therefore, manufacture yield is bad. Other faults are that a space is required for the circumference of a display in order to attach a driver chip. Therefore, in order for the size of a display to increase and to form a large-sized display, it is that two or more display modules are uncombinable with an array.

[0034] The through-hole technology to direct circuit connection is widely known for the semiconductor field (for example, refer to U.S. Pat. No. 3641390 specification). The method and equipment to the through hole substrate print using the vacuum controlled from the U.S. Pat. No. 4710395 specification are well-known. However, a through hole print is well inapplicable to an ElectroLuminescent Display, as far as an artificer knows.

[0035] The segment storage form of an EL element is indicated by the U.S. Pat. No. 3504214 specification. Here, in order that a pixel may form a photoelectrical layer, a turn-on is carried out by light, and next, a fluorescence layer serves as conductivity. a through hole -- the complexity of a conductor is indicated. It has suggested that through hole connection usual in this specification does not operate on a high resolution TFEL display. It is because an electrical conducting material reacts with a fluorescent substance, therefore the capacity of a display declines.

[0036]

[Problem(s) to be Solved by the Invention] The technical problem of this invention has good luminous efficiency, and manufacture is offering easy and easy electroluminescence devices.

[0037]

[Means for Solving the Problem] By this invention, a flat layer the above-mentioned technical problem. The dielectric strength of about  $1.0 \times 10^6$  or more V/m, It is formed from the ceramic material which has the dielectric constant whose ratio of the dielectric constant of a dielectric material and the dielectric constant of a fluorescent substance is about 50:1 or more. A dielectric layer has the thickness which has the ratio of the thickness of a dielectric layer and a fluorescence layer in the range of about 20:1 to 500:1, a dielectric layer has the front face which adjoins a fluorescence layer, and this front face is compatible with a fluorescence layer, and fully smooth. A fluorescence layer is solved by EL lamination dielectric layer structure which has the dielectric layer constituted so that light might generally be uniformly emitted under predetermined excitation voltage.

[0038] The layer of the summary electroluminescence of invention has a different dielectric constant. The potential difference between the layers of a lamination is distributed by each class in inverse proportion to the relative dielectric constant of material in proportion to the thickness of each class. For example, if one layer has the thickness and the dielectric constant of double precision of another layer, voltage will be equally distributed by these two layers. this invention is combined with the thin fluorescence layer which boils markedly the thick dielectric layer which has a high dielectric constant using this property, and has a low dielectric constant. Thus, if it has the

dielectric constant with a dielectric layer high enough before the electric conduction by the fluorescence layer begins, the voltage which passes along a pixel can fully exist over the whole fluorescence layer. this invention offers the manufacture method with EL lamination which has the improved new dielectric layer. A dielectric layer is formed from the following ceramic material as a pressure membrane.

[0039] - Dielectric strength is about  $1.0 \times 10^6$  or more V/m.

[0040] - The ratio of the dielectric constant ( $k_2$ ) of a dielectric material and the dielectric constant ( $k_1$ ) of a fluorescence layer is about 50:1 or more (100:1 or more [Advantageously ]).

[0041] - The ratio of the thickness ( $d_2$ ) of a dielectric layer and fluorescence layer thickness ( $d_1$ ) is in the range of about 20:1 to 500:1 (from 40:1 to 300:1 [Advantageously ]).

[0042] - The front face which adjoined the fluorescence layer is compatible with a fluorescence layer, and is fully smooth, and, generally a fluorescence layer emits light uniformly with predetermined excitation voltage.

[0043] The lamination containing the dielectric layer of this invention is a lamination whose fluorescence layer is a thin film layer most advantageously. 2.0 microns of typical thin film fluorescence layers are typically formed by the thickness of about 0.5 microns from ZnS:Mn to about 0.2. ZnS:Mn material has the dielectric constant of about 5 to 10. . theoretical calculation -- this most advantageous fluorescence layer (see the aforementioned guideline) -- being based -- the dielectric layer of this invention -- advantageous -- 500 or more dielectric constants -- it has about 1000 or more dielectric constants most advantageously moreover, thickness -- the range of about 10 to 300 microns -- it is in the range of 20 to 150 microns advantageously In order to obtain a high dielectric constant, a strong dielectric material is advantageous. These have the perovskite crystal structure most advantageously. For example, material contains  $\text{PbNbO}_3$ ,  $\text{BaTiO}_3$ ,  $\text{SrTiO}_3$ , and  $\text{PbTiO}_3$ .

[0044] The dielectric layer of this invention is formed in a lamination, and this is constituted from an anterior by the posterior. Therefore, the deposit of the posterior electrode is carried out to a substrate, and it is a ceramic most advantageously like an alumina. This can bear temperature far higher than a glass substrate at the time of manufacture (a glass substrate is used for a posterior from the anterior of the TFEL structure in order to acquire front transparency). The deposit of the dielectric layer of the following this invention is carried out to a posterior electrode by pressure-membrane technology. Although this is calcinated at an elevated temperature, this can bear a substrate and a posterior electrode. Use of thick-film technology and elevated-temperature baking is important to the whole dielectric layer property. It is because the dense layer which has advanced crystallinity is obtained and this improves a whole dielectric constant and the dielectric strength of a layer.

[0045] An artificer thinks that he is actual with it being difficult to manufacture the front face (that is, compatible and smooth) of a request of the dielectric which adjoins a fluorescence layer using a ceramic material usable now. Therefore, in the advantageous example of this invention, a dielectric layer is formed as two layers, and the 1st dielectric layer is formed on a posterior electrode, has advantageously high dielectric strength, and is set as the above-mentioned dielectric constant value. The 2nd dielectric layer serves as a front face which adjoins a fluorescence layer as mentioned above.

[0046] in the advantageous example of this invention, the deposit of the 1st dielectric layer is carried out by pressure-membrane technology (advantageously screen printing), and elevated-temperature baking is carried out after that below by 1000 degreeC advantageous -- the melting points of all the lower layer -- low temperature -- advantageous -- If a strong dielectric ceramic and the paste which includes a perovskite crystal structure object advantageously permit baking with burning temperature with high paste composition, it will be an advantageous material. Advantageously, in order that the deposit of the 2nd dielectric layer may be carried out and it may obtain a smooth front face after that with sol gel technology, elevated-temperature baking of it is carried out. The material used for the 2nd layer has a high dielectric constant (100 or more [ 20 or more / Advantageously / still more advantageous ]) advantageously, and thickness is 2 microns or more (advantageously 2 to 10 microns). The strong dielectric ceramic which has the perovskite crystal structure is the most advantageous.

[0047] this invention was shown by the 1st dielectric layer by which screen printing was carried out by the thickness of 30 microns from niobic-acid lead, and the 2nd dielectric layer by which the spin deposit was carried out by the thickness of 2 to 3 microns from PZT as a sol. The sol gel layer was shown by being immersed for the whole thickness forming two or more 6 to 10-micron layers again. Lanthanum acid PZT was also shown as a sol gel layer.

[0048] It is advantageous to use a two-layer dielectric although it is not indispensable. There is such no limit in the 2nd layer to the 1st dielectric layer being formed as a pressure membrane which has necessary high dielectric strength and a high dielectric constant. If it has the front face where the 2nd layer is [ that a request is compatible and ] smooth, this can be formed from much various material rather than it is used in the 1st layer as a thin film. Many researches accomplished about the improvement of changing the property of the dielectric-fluorescence interface of EL lamination, for example, chemical stability, or pouring. Material or deposit technology including these improvements can be used with the 1st of this invention, and/or the 2nd dielectric layer. For example, in selection of the material used in the 1st or 2nd layer, or deposit technology, it can be used change of the front face of the 2nd layer, or by applying the 3rd thin film layer to the upper part of the 1st or 2nd layer further.

[0049] The lamination manufactured by this invention shows luminous efficiency having no dielectric breakdown and good in low operating voltage. As compared with the thin film technology which an advantageous pressure membrane and sol-gel deposit technology were generally easy the thin film technology, and was explained above to the dielectric layer, it is not expensive technology. Advantage with the another dielectric layer of this invention is that the lamination incorporating the layer does not need another dielectric layer between a fluorescence layer and the 2nd electrode. However, if required, such an another dielectric layer can also be included.

[0050] Therefore, this invention applies the dielectric layer in the electroluminescence lamination of the form containing the fluorescence layer sandwiched between the anterior electrode and the posterior electrode. The posterior electrode is formed on the substrate and the fluorescence layer is separated from the posterior electrode by the dielectric layer. A dielectric layer has the flat layer formed from ceramic material. The dielectric strength of this ceramic material is about  $1.0 \times 10^6$  or more V/m, the dielectric constant which is the ratio of  $k_2/k_1$  is 50:1 or more, and a dielectric layer has thickness [ as / the range of

whose ratio of  $d_2:d_1$  is 20:1 to 500:1 ]. Furthermore, the dielectric layer is compatible with a fluorescence layer, it has the front face which adjoins a fluorescence layer smooth enough, and, generally a fluorescence layer emits light uniformly with predetermined excitation voltage.

[0051] this invention relates to the manufacture method of an electroluminescence lamination of the form which contains the fluorescence layer sandwiched between the anterior electrode and the posterior electrode again. A lateral electrode is formed on a substrate after this, and the fluorescence layer is separated from the posterior electrode by the dielectric layer. The deposit of the method of this invention is carried out to a posterior electrode with pressure-membrane technology, and it calcinates ceramic material after that. This ceramic material forms the dielectric layer which has the dielectric constant whose ratio of  $k_2/k_1$  is about 50:1 or more, and has the dielectric strength of about  $1.0 \times 10^6$  or more V/m, and the thickness which has the ratio of  $d_2/d_1$  in the range of about 20:1 to 500:1. A dielectric layer forms the front face which adjoins a fluorescence layer. This front face is compatible with a fluorescence layer, and is fully smooth, and, generally a fluorescence layer emits light uniformly under predetermined excitation voltage.

[0052] this invention relates to the process which carries out the scribe of the pattern to the flat lamination which has at least one top layer and at least one bottom layer by laser again. It has wavelength which is absorbed depending on a bottom layer although this process irradiates the top layer side of a lamination of the laser beam by which focusing was carried out and this laser beam is not substantially absorbed depending on a top layer, a part of bottom layer [ at least ] is removed directly by this, and a top layer includes the process indirectly removed covering the whole thickness.

[0053] In relation to EL lamination, top layers are a transparent electrical conducting material and an emitter, a bottom layer is one or more of a dielectric layer, and a pattern is an electrode pattern of the address line arranged in parallel.

[0054] The following definitions are applied through a specification and the whole patent claim.

[0055] Absorption is produced within material by promotion of the electron which passes along a band gap to material when the amount of radiant energy is in agreement with the allowed transition to the high-energy state within material.

[0056] Direct removal of the material by the laser beam is produced, when the main cause of removal is decomposition, and/or when it is what is depended on absorption by the material of the radiant energy of a laser beam.

[0057] Indirect removal of the material by the laser beam is produced, when the main cause of removal is evaporation by the heat release in the inside of material, and when being conveyed from the contiguity material which absorbs the radiant energy of a laser beam.

[0058] this invention relates to the electroluminescence display panel which performs electrical connection from a flat electroluminescence lamination using a through hole connector to the output side of one or more voltage driver elements of a drive circuit. A display panel is formed in - substrate rear face, and has the electric conduction path means forming for performing electrical connection of each address line and the voltage driver element of a drive circuit to each edge of the address line through each of the electro RUMINE sense lamination which has the front set and rear set of the tolerance

address line of a well-known form, two or more through holes formed in the substrate which adjoins the edge of - address line, and the through hole of - substrate.

[0059] Advantageously, the electroluminescence lamination of a display panel has the pressure-membrane dielectric layer of this invention. A lamination can be formed from a posterior substrate by this dielectric layer to an anterior (in direction to see), and, thereby, the through hole connector and pressure-membrane circuit pattern for connection between a voltage driver element and the address line can be formed now in the mutual combination of a circuit manufacture step and the manufacture step to an electroluminescence again.

[0060] Such a step is easily unrealizable with the conventional electroluminescence lamination structure. It is because the deposit of the layer is carried out to front display glass and this glass cannot be borne at the temperature which calcinates a pressure-membrane electric conduction paste.

[0061] According to this invention, a voltage driver element or the whole drive circuit is formed in the rear face of a posterior substrate. By using a through hole connector, it is [ between the address line and a drive circuit ] more direct, and reliable interconnection is obtained. \*\*\*\* outside non-activity of the display-panel circumference is unnecessary (it was required of the Prior art). Moreover, a dark boundary line combinable [ with this / a large-sized display ] from each display panel does not arise between modules.

[0062]

[Example] The EL lamination 10 by this invention which doubled two dielectric layers is shown in drawing 1 and drawing 2 . Lamination 10 is formed from a tooth-back side on a substrate 12. The back plate layer 14 is formed on a substrate 12. In order to apply to a display as shown in the drawing, a back plate 14 consists of the train of the conductive address-line way by which centering was carried out on the substrate 12, from the substrate edge, sets an interval and is arranged. The electric contact tab 16 has projected from the electrode 14. The 1st thick dielectric layer 18 is formed on a back plate 14, and the 2nd dielectric layer 20 thinner than this follows this degree. Furthermore on the 2nd dielectric layer 20, the phosphorescence layer 22 is formed, and the penetrable front electrode layer 24 follows this degree. Although the front electrode layer 24 is drawn solid in the drawing, in order to actually apply to a display, this electrode layer is constituted by the line of the address-line way of a back plate 14, and the address-line way arranged at the perpendicular. In order to avoid that moisture invades, capsule protection of the lamination 10 is carried out by the penetrable sealing layer 26. Electric contact 28 is formed in the 2nd electrode 24.

[0063] The EL lamination 10 operates by connecting the source of ac power with the contacts 16 and 28 of an electrode. Although EL lamination by this invention has most uses in a display, it has a use as a lamp or a display.

[0064] If it is this contractor, from the frame of this invention, it will be understood that still more nearly another interlayer can be prepared in lamination 10, without shifting.

[0065] Next, the method by this invention which forms a dielectric layer in one EL lamination doubly with an advantageous material and an advantageous process step is explained.

[0066] Lamination 10 is formed in a front face (screen) from a tooth back. Lamination 10 is formed on the suitable substrate 12. A substrate 12 is a ceramic advantageously and this can bear the high sintering temperature (typically 1000degreeC) used by the

dielectric layer. An alumina is the most advantageous.

[0067] The deposit of the 1st back plate 14 is carried out on a substrate 12. In order to wire the thin train of an address-line way, much technology and material are known. Advantageously, the address-line way of a conductive metal is screen-stenciled with an Ag/Pt alloy paste using the sensitive emulsion which can be washed out in the field in which a paste should be printed. Then, this paste is dried and calcinated. Alternatively, a back plate 14 can also be formed with the metal of others like the alloy of another noble metals like gold or chromium, a tungsten, molybdenum, tantalums, or these metals.

[0068] The deposit of the 1st dielectric layer 18 is carried out on a back plate by well-known thick-film technology. Since a dielectric constant higher than the dielectric constant of the phosphorus fire layer 22 is produced, advantageously, the 1st dielectric layer 18 is generated from a ferroelectric material, and is generated from what has the perovskite crystal structure most advantageously. This material is crossed to a suitable operating temperature for a lamination, generally is crossed to 20 degrees C-100 degreeC, and has the minimum dielectric constant of 500. The dielectric constant of the 1st dielectric layer material is 1000 or more than it much more advantageous. the material as an example for the 1st dielectric layer 18 --  $\text{PbNbO}_3$ ,  $\text{BaTiO}_3$ , and  $\text{SrTiO}_3$  And  $\text{PbTiO}_3$  it is -- especially --  $\text{PbNbO}_3$  It is desirable.

[0069] When choosing ceramic material (namely, member which has the melting point high enough although another layer of a lamination is prepared and which is insulated electrically) for the 1st dielectric layer 18, the material known as what has a high dielectric constant and high dielectric strength is chosen so that I may be understood, if it is this contractor. Although these are the peculiar properties of material, generally the value is defined to the bulk material which exists in a precise and transparent configuration. These properties are changeable with the deposit technology used. About the dielectric constant of material, on the whole, a big grain size (within the limits of about 1 to about 2 microns) and the high transparency in precise structure are maintained by elevated-temperature sintering following thick-film day position technology and this in order to make it not lower a dielectric constant more remarkably than the dielectric constant of start material. Similarly, high dielectric strength is obtained by using thick-film day position technology. However, you should measure the dielectric strength of a layer by impressing operating voltage to the completed lamination after all.

[0070] Thick-film day position technology is better known than before as mentioned above. In the case of such technology, a dielectric material is the thickness of a request of the range uniform on the whole, and a deposit is carried out on a back plate 14. Thick-film day position technology is frequently used at the time of manufacture of the electronic circuitry on a ceramic substrate. Screen-stencil is the most desirable technology. A commercial dielectric paste can be used at the sintering step which is performed by the paste manufacturer and which is recommended. Typically, you should choose or form the paste so that hot sintering which is about 1000degreeC may be enabled. However, the same result can be obtained with other technology. Alternative thick-film technology is using a dielectric as a "green tape" so that it can wire on a back plate 14. This green tape has the dielectric fine particles of a polymerization matrix, and this can be burned in a consecutive sintering process. This tape is flexible, can be level opened on the electrode layer 14, and can be made to press before sintering. One possible advantage of the green tape on the screen-stenciled dielectric will be being able to carry

out precise [ of the hole ] partly in a bird clapper still more slightly, if this burns. Now, a green-tape dielectric is not easily available. The thick film paste of a dielectric can also be extended level, and can be made to be able to put on the back plate layer 14, or can be applied with a doctor blade. the static of dielectric fine particles -- the fine particles following a \*\*\*\* day position and this \*\*\*\* -- the electrostatic charge -- \*\*\*\*\* -- much more complicated technology like sintering performed immediately in front can also be used subordinately

[0071] The 1st dielectric layer 18 is advantageously screen-stenciled with a paste as illustrated. In order to attain slight porosity, high crystallinity, and the minimum high crack, sintering in the elevated temperature following the deposit to a multiplex layer and this is advantageous. Although it is dependent on each material used, it is made for sintering temperature not to exceed the temperature which a back plate 14 or a substrate 12 can bear. For most electrode materials, the temperature of 1000 degreeC is maximum typically. The thickness of the 1st dielectric layer 18 changes with the dielectric constant of this layer, the dielectric constant of the phosphorescence layer 22 and the 2nd dielectric layer 20, and thickness. Generally, the thickness of the 1st dielectric layer 18 is within the limits of 10-300 microns, is within the limits of 20-150 microns advantageously, and is within the limits of 30-100 microns still more advantageous.

[0072] It shall be calculated so that dielectric strength suitable at the minimum operating voltage may generally produce the criteria for defining the thickness and the dielectric constant of a dielectric layer. These criteria are related to mutual so that it may state below. The range of the typical thickness between about 0.2-2.0 microns (d1) is given to a phosphorescence layer. If the range of about five to 10 dielectric constant of a between (k1) is given to this phosphorescence layer and the range of the dielectric strength of about 106 - 107 V/m is further defined to a dielectric layer In order to determine the value of the typical thickness (d2) and the dielectric constant (K2) for the dielectric layer of this invention, the following formulas and calculation are applicable. It is calculation to these formula rows, without shifting from within the limit [ of this invention ], when it is going to change the above-mentioned typical range with a meaning d2 k2 It can use as a guideline for determining a value.

[0073] The voltage V which joins the double layer which has one uniform dielectric layer and the phosphorescence layer of one uniform non-conducting inserted into inter-electrode [ two / conductive ] is : $V=E_2 \cdot d_2+E_1 \cdot d_1$  defined by the formula 1. (1) In this case, E2 The field strength in a dielectric layer, and E1 The field strength in a phosphorescence layer, and d2 The thickness of a dielectric layer, and d1 It is phosphorescence layer thickness.

[0074] In these calculation, the direction of electric field is perpendicular to the mediation field between a phosphorescence layer and a dielectric layer. A formula 1 is applied as long as low voltage is impressed rather than a threshold voltage. In this threshold voltage, a phosphorescence layer begins to surrender electrically, and the field strength in a phosphorescence layer has an element high enough, although it begins to send out light.

[0075] electromagnetism -- the component of the electric displacement (electric flux density) D perpendicular to the mediation field between two insulating materials which have a different dielectric constant by the theory is continuous over a mediation field This electric displacement component in a certain material is defined as a product of a dielectric constant and the electric-field component of the same direction. : $k_2 \cdot E_2 = k_1$

\*E1 by which a formula 2 is drawn from this relation to the mediation field in a double layer structure (2)

In this case,  $k_2$  It is the dielectric constant of a dielectric material and is  $k_1$ . It is the dielectric constant of phosphorescence material.

[0076] : $V=(k_1 * d_2/k_2+d_1) * E_1$  which can compound formulas 1 and 2 and can obtain a formula 3 (3)

In order to minimize a threshold voltage, the 1st term of a formula 3 needs to be based on practical use, and it is necessary to make it small. The 2nd term is defined by the demand of selection of phosphorescence layer thickness in order to make into the maximum light which a phosphorescence layer emits. In case these numeric values are defined, the 1st term is chosen so that it may become 1/10 of the sizes of the 2nd term.  $d_2/k_2=0.1*d_1 / k_1$  from which a formula 4 is obtained by substituting this condition for a formula 3 (4) The ratio of the thickness and the dielectric constant of a dielectric layer is obtained about the property of a phosphorescence layer by the formula 4. The dielectric strength of an insulating layer appears in holding the impressed whole voltage enough, and this thickness is uniquely determined as it from a certain demand of making it like, when a phosphorescence layer exceeded and flows through a threshold voltage. Thickness is  $d_2=V/S$  computed using a formula 5. (5)

In this case, S is the dielectric strength of a dielectric material.

[0077] The range of a dielectric constant is acquired by the thickness row of the dielectric layer indicated to this invention specification and the claim by using a suitable value to an above-mentioned formula and  $d_1$ ,  $k_1$ , and S.

[0078] as mentioned above, if it has the front face smooth enough where the 1st dielectric layer 18 adjoins a phosphorescence layer (namely, smooth front face where the phosphorescence layer by which a deposit is continued and carried out is sufficient with predetermined excitation voltage to emit light uniformly on the whole -- having) and there are this phosphorescence layer 22 and compatibility, the 2nd dielectric layer 20 is unnecessary Generally, it is enough if boom hoisting of a front face is not changing over about 1000 microns (this is almost equal to one pixel width of face) a lot than about 0.5 microns. If it is a 0.1-0.2-micron surface relief in this interval, it is much more desirable. Even if it has the front face where the 1st dielectric layer 18 is smooth enough, if it does not have desired compatibility, in order [ with the phosphorescence layer 22 ] to obtain compatibility, you may add still more nearly another material layer (although it is a dielectric layer advantageously, it comes out so and a certain need is not) by the thin film technology.

[0079] When the 2nd dielectric layer 20 is needed, this layer is generated on the 1st dielectric layer. The 2nd dielectric layer 20 can have a dielectric constant smaller than the dielectric constant of the 1st dielectric layer 18, and is typically generated further as a film (it is 2-10 microns large much more advantageously more advantageous than 2 microns). Generally the thickness of a request of the 2nd dielectric layer is the function of smoothness, and this layer can be made [ whether it can do and ] thin, if it is got blocked and a smooth front face is obtained. In order to obtain a smooth front face, sol gel day position technology is used advantageously, and sintering in an elevated temperature is performed following this. It is well known from the former, for example, sol gel day position technology is "Fundamental Principles of Sol Gel Technology". R.W.JonesThe Institute of Metals and 1989 Please refer to. Generally, while still holding the solvent,

before being taken out from a solution by the sol gel process as colloid gel or a polymerization macromolecule network structure, in a sol, material is mixable on molecule level with a process. If a solvent is removed, the solid-state of the precise porosity rate of a high level will be left behind. Therefore, the value of a surface free energy is raised, a solid-state can be sintered at low temperature and concentration can be raised rather than it is carried out using almost all other technology.

[0080] The deposit of the sol gel material is carried out on the 1st dielectric layer 18 so that a smooth front face may be obtained. The hole on the thick-film layer which was sintered by this sol gel process in addition to producing a smooth front face can be buried now. A spin day position or a dipping is the most desirable. These are technology used mainly in the photoengraving-process process in semiconductor industry over many years. In the case of a spin day position, it is at high speed. - Sol material is typically dropped by thousands rotations per minute with up to the - 1st dielectric layer 18 which carries out spin. If desirable, several step story and a deposit are possible in a sol. The thickness of a layer 20 is controlled changing the viscosity of sol gel, and by changing spin speed. The damp film of sol gel is generated on a front face after spinning. In order to generate a ceramic front face, generally the sol gel layer 20 is sintered at low temperature rather than 1000 degreeC. A sol can carry out a deposit also by the dipping. The front face which should be covered is dipped into a sol and it is at a speed fixed next. - - It is usually pulled out slowly remarkably. Layer thickness is controlled by changing the viscosity and drawer speed of a sol. Furthermore, although a sol may be screen-stenciled or spray coated, it is comparatively difficult to control layer thickness by such technology.

[0081] The material used for the 2nd dielectric layer 20 is the ceramic material of a ferroelectricity advantageously, and since a high dielectric constant is produced, this ceramic material has the perovskite crystal structure advantageously. Advantageously, this dielectric constant is the same as the dielectric constant of the 1st dielectric layer, in order to avoid the voltage variation in two dielectric layers 18 and 20. but it is used with the 2nd dielectric 20 -- further, by the film, only about 20 can use a small dielectric constant, however a dielectric constant makes it advantageously larger than 100 The titanate of Sr, Pb, and Ba which are used by PZT (PZT), lanthanum acid-PZT (PLZT), and the 1st dielectric layer 18 is contained in the material as an example, and PZT and PLZT are the most desirable in this case.

[0082] In order to generate the suitable smooth ceramic front face for the day position of the following layer, the deposit of PZT or the PLZT is carried out by sintering at low temperature as sol gel more advantageous than about 600 degreeC following a spin day position and this.

[0083] Although the following layer by which a deposit should be carried out is the phosphorescence layer 22 typically, as mentioned above, it is the purpose which improves a mediation field with a phosphorescence layer further, and still more nearly another layer can also be prepared on the 2nd dielectric layer 20 within the limit of this invention. For example, the thin film layer of the material known for good pouring nature and good compatibility being obtained can be used.

[0084] The deposit of the phosphorescence layer 22 is carried out by the thin film day position technology of common knowledge of vacuum deposition, sputtering, etc. by the electron beam evaporator. Although a desirable phosphorescence material is ZnS:Mn,

another phosphor which emits the light of a different color is also known. The phosphorescence layer 22 has the thickness of about 0.5 microns, and about five to 10 dielectric constant typically.

[0085] Although another penetrable dielectric layer on the phosphorescence layer 22 is unnecessary, you may prepare, as long as it is desirable.

[0086] The deposit of the front electrode layer 24 is directly carried out on the phosphorescence layer 22 (if prepared another dielectric layer). This front electrode is generated from the indium stannic-acid ghost (ITO) which is permeability and is advantageously known for thin film deposition technology like the vacuum deposition in an electron beam evaporator.

[0087] Typically, lamination 10 is annealed and, next, is sealed by sealing layer 26 like glass.

[0088] :substrate layer which the advantageous lamination which has the value of the typical thickness by this invention is attached even to a front face from a tooth back, and is as follows An alumina back plate Ag/Pt address-line way The 10-micron 1st dielectric layer Niobic-acid lead The 30-micron 2nd dielectric layer PZT 2-micron phosphorescence layer ZnS:Mn The front-face electrode of 0.5 micron ITO 0.1-micron sealing layer Glass In the case of an ElectroLuminescent Display big 10-20 microns, layer thickness can be changed. For example, in order to obtain desired smoothness, about 6-10 microns of thickness of a sol gel layer are increased typically. Similarly, in a big display, ITO layer thickness can be increased to 0.3 microns.

[0089] According to this invention, connection between the address-line way of the front face and tooth back of an electroluminescence lamination and a voltage drive circuit is advantageously made by making the through hole in a tooth-back substrate penetrate. EL lamination is the thick dielectric layer of this invention. - This is although it is not required. - Having is most desirable.

[0090] The voltage drive circuit has the voltage (typically called high-voltage drive chip) drive component. In order to excite a pixel alternatively according to a video input signal, the output side of this component is connected to each line address track and train address-line way of a back plate and a front electrode. Generally the voltage drive circuit and the component are known in the conventional technology. In order to explain this invention, through hole connection is prepared in the package-ized well-known high-voltage drive chip, and surface mounting of this high-voltage drive chip is carried out on a tooth-back substrate by well-known reflow-soldering technology. The high-voltage drive chip of this form is known as the symmetrical pulse drive type and unsymmetrical pulse drive type of common use.

[0091] However, the circuit pattern prepared in order for a special driver circuit or a driver component to be able to deform, to make it such and to connect with the pattern and driver circuit of a penetration hole naturally so that it may notice if it is this contractor may be affected. this invention can attach only the whole driver circuit or its part on the substrate of a posterior as an example. For example, instead of using a high-pressure package chip, it can use on a substrate using the diamond touch method of common use of an unreserved silicon die (chip), and a chip can be connected to the driver circuit on a substrate using the wirebonding technology of common use. In this case, a driver chip can occupy only the small field on a substrate, but can arrange all the driver circuits on a substrate. Consequently, interface combination of the super-\*\* type display

panel can be carried out at a direct video signal, and it can connect with the source of a direct direct current power. Such a display is useful with the super-\*\* type portable product which needs a display. Of course, it is applicable to the display of any sizes that a driver circuit can be attached in the posterior of a substrate, and if it is a comparatively big display, in order to establish a direct drive circuit in the posterior of a substrate, it can offer a much more big space.

[0092] The circuit connection state of this invention is shown in drawing 3 - drawing 10 . As mentioned above, a special penetration hole and a special circuit pattern are prepared in order to attach the high-pressure driver chip 30 in the opposite side of a posterior substrate for the purpose of illustration. Super tex hyperventilation7022PJ is an object for the connection to the train address line 14, and super tex hyperventilation8308PJ and hyperventilation8408PJ (a super tex company, California, Sunnyvale \*\*) of a special chip select are the objects for the connection to the line address line 24. The two latter chips differ in that one lead pattern is the mirror image of the lead pattern of another side.

[0093] If drawing is referred to, advantageously (it does not necessarily surely say), the EL lamination 10 consists of two-layer dielectric layers 18 and 20 of this invention, is carried out in this way and consists of the front toward the \*\*\*\* side from the substrate 12 of a posterior. The posterior substrate 12 is punched with the penetration (through) hole 32, and it is made, as for the pattern, for a substrate 12 and the penetration hole 32 to become both the termination of the address lines 14 and 24 (formed later) most closely. Or an additional penetration hole can be alternatively prepared by the relation which kept the predetermined interval along with the address line. This is useful although connection with the front ITO address line of high resistance is made. The pattern of drawing 4 is an object for the connection to the EL lamination 10 on the rectangular substrate 12, the train address line (posterior electrode) 14 is formed in the rectangular substrate 12 in accordance with a comparatively long size, and the line address line (anterior electrode) 24 is formed in it in accordance with the comparatively short size.

[0094] The penetration hole 32 is advantageously formed by laser. The hole 32 can be typically extended on one side with the property of a laser punching process, and in order to make it easy to let an electrical conducting material pass in a hole, the side is chosen so that it may be a posterior side or the opposite side.

[0095] The substrate 12 used by EL lamination should be what can reduce the temperature which encounters at a consecutive processing step. Typically, the substrate used is stable to the temperature of 850 degrees or more, in order are enough to support a lamination strongly and to be equal to a consecutive thin film paste and baking sintering for sol gel material. Therefore, the substrate should be impermeability to the laser beam and it is because the \*\*\*\* hole 32 can be formed by laser punching. Finally, the substrate should offer the good adhesion of the thin film paste used at a consecutiveness step. Crystal line ceramic material and non-conductivity vitrified material are used. Especially the alumina is advantageous.

[0096] The circuit pattern 34 of an electrical conducting material is a pattern shown in drawing 5 , and is printed by the posterior side of a substrate 12. At this step, an electrical conducting material is pulled through the penetration hole 32 as mentioned above. The circuit pattern 34 of the posterior side of a substrate 12 consists of electric leads between many connector pads (a label is not carried out) like the posterior connector pad 36 around [ each time ] the penetration hole 32, the chip connector pad 38 for the output of a

high-pressure driver chip (not shown), the connector pad (a label is not carried out) for connecting with the remainder of a drive circuit (not shown) further, and illustration.

[0097] An electrical conducting material is the electric conduction thin film paste attached by screen-stencil advantageously.

[0098] In order to form the track which penetrates each penetration hole 32, the front side top of a substrate 12 is made into a vacuum, and another side and a circuit 34 are printed by the posterior side. This is advantageously attained by placing a substrate 12 on the vacuum table which has a master plate, and the master plate has the hole punched by the pattern of drawing 4 between the substrate 12 and the vacuum in that case. Each hole of a master plate is larger than the hole of a substrate 12 what minute in line. A vacuum is not added until a circuit is printed, in order to ensure that a vacuum is added uniformly. A vacuum is continued until an electrical conducting material is penetrated and pulled to the front side of a substrate. The small amount of an electrical conducting material penetrates to the front side of a substrate 12, and is pulled, and a penetration hole wall is covered at the time. A thin film paste is calcinated from it according to a well-known procedure.

[0099] Following this step, advantageously (there is surely nothing then), the circuit pad reinforcement pattern 42 is printed, as shown in drawing 7 . Printing and a baking step are continued like an electrical conducting material.

[0100] From it, the train address line 14 and the connector pads 40a and 40b are formed in the front side of a substrate 12, and are performed by screen-stenciling a thin film electric conduction paste like silver / platinum paste advantageously. The address-line pattern is shown in drawing 6 , and it extends along with the longitudinal direction of a substrate 12, and has the train finished as front (train) connector pad 40a. Between this same step, front (line) connector pad 40b is prepared in order to connect a line address line to a drive circuit finally through the penetration hole 32. An electric conduction paste is advantageously drawn out through the penetration hole 32 as mentioned above, and a vacuum is added from the posterior circuit side of a substrate in that case.

[0101] Since a means to form a track through the penetration hole 32 was formed from a thin film electric conduction paste, although it explained in full detail in the top With the conventional technology, an electric conduction paste like the penetration hole by which the electric plate was carried out so that it may be well-known Or a penetration hole is formed of un-electric plating, and it is made and formed of it, it is made such, and the material which adhered suitable for a substrate and by which the electric plate was carried out is offered, and a plate conductor adheres to a consecutiveness layer.

[0102] In that case, the thin film dielectric layer 18 of this invention is formed advantageously, and is calcinated as mentioned above.

[0103] The seal of the posterior circuit side of a substrate was advantageously carried out using the posterior sealant 44 at that time, and in order [ for attachment of a connector pad of a high-pressure driver chip by the screen-stencil used at that time, for example, a thin film glass paste, ] to attach the connector pin 45 in the remainder of a driver circuit (not shown), it is being kept exposed. The sealing pattern is shown in drawing 8 .

[0104] Next, EL lamination is complemented by the sol gel layer 20, the phosphorus layer 22, and the front line address line 24. The pattern for the front line address line 24 is shown in drawing 9 . This consists of parallel lines covering the thickness of the substrate 12 which carries out termination near the front (line) connector pad 40. The electric interconnection 46 between the line address line 24 and the front (line) connector pad 40

is formed for the purpose of reliable electrical installation if needed. These are formed by printing an electrical conducting material like silver through a shadow mask advantageously by the pattern shown in drawing 10 .

[0105] The above-mentioned front sealing layer 26 is formed in order to prevent moisture transparency.

[0106] According to this invention, the front ITO address line 24 of the EL lamination 10 is advantageously formed of laser writing. This laser write-in technology is related with the advantageous EL lamination 10 of this invention, and is shown. However, being applied still more widely, when laser write-in technology patternizes the planar lamination which has a top layer and a bottom layer should be understood. ITO and the phosphorus layers 24 and 22 have the top layer which does not absorb a laser beam substantially about this point. Furthermore, it becomes blunt with the thick-film provincial accent niobium dielectric layer 18, and the sol gel layer 20 of a zirconate titanate has the bottom layer which does not absorb a laser beam. Other typical material contains  $\text{SnO}_2$  and  $\text{In}_2\text{O}_3$  as a transparent conductor (translucency).

[0107] Usually, in the thought of this invention, a top layer is a material which penetrates a visible ray, and a bottom layer is a material which does not penetrate a visible ray. Therefore, a lower material is punched directly and a top layer is punched indirectly. In this case, it is punched using the laser beam [ in / a visible field ] which has the wavelength in the infrared field of an electromagnetic spectrum. The terebration by this laser is widely used in a semiconductor, a liquid crystal display, a solar cell, and EL display.

[0108] It is the purpose which controls the precision and resolution (the depth and width of face of slitting) of laser writing, is the purpose which avoids explosive non-flake-ization of a layer, and is the purpose which minimizes the counter diffusion between layers, and the predetermined property and predetermined layer thickness of material should be protected.

[0109] The next relation is maintained about a two-layer lamination.

[0110] It corrects. If absorption coefficient [ of  $\alpha_u T_u > \alpha_o T_o$  and an  $\alpha_u =$  bottom layer ], absorption coefficient [ of an  $\alpha_o =$  top layer ],  $T_u =$  bottom layer thickness,  $T_o =$  top layer thickness, and product  $\alpha_u T_u$  is made remarkably larger than product  $\alpha_o T_o$ , it is much more advantageous.

[0111] When two or more top stratum lucidum and/or two or more opaque layers are prepared The sum of product  $\alpha_u T_u$  to each layer should make it larger than the sum of product  $\alpha_o T_o$  to each layer, namely, when the  $\sum \alpha_u T_u > \sum \alpha_o T_o$  above-mentioned function is maintained Without penetrating a part of bottom layer and cutting the thickness of the whole deeply by the step of this invention, direct punching should be carried out, and the thickness of the whole top layer should be penetrated and it should punch indirectly.

[0112] Before being able to soften a top layer by indirect punching, and/or before evaporating, when heat or vapor pressure is formed into a bottom layer, explosive un-laminating-ization may arise. So, the material in a bottom layer should dissolve and evaporate the material in a top layer at low temperature rather than the temperature dissolved and evaporated.

[0113] It is the purpose which raises the performance which high resolution cuts deeply, and it is advantageous if the thermal conductivity of the material in a bottom layer is

made smaller than that of the material in a top layer. The thermal conductivity of both layers is selected from the field currently punched so that large heat may not radiate heat, while this field is irradiated by the laser beam.

[0114] It is the purpose which avoids the counter diffusion of the matter between layers, and the field which should be punched is irradiated by the laser beam and should make a diffusion time for this process longer than time.

[0115] The above-mentioned property is known to material and it can tell beforehand which material is suitable for a laser write-in process of this invention.

[0116] The resolution of laser slitting, laminate[ explosive / un-]-izing, and counter diffusion are also influenced with the energy and the scan speed of a laser beam.

However, if the above-mentioned relation is protected, another laser conditions of these are usually maintained, and in order to attain the result of a request of direct punching and indirect punching, control and change of another laser conditions of these will be attained.

[0117] The laser beam which supplies the laser beam which has the wavelength in a visible region or an infrared field is well-known. A carbon dioxide gas laser, an argon laser, and an YAG laser are the example. All laser has larger wavelength than 400nm. Pulse-wave laser or continuous-wave laser can be used. The latter is advantageous in order to form a cut of sharp high resolution. A laser beam converges with suitable lens equipment. The purpose is for guaranteeing sufficient local density for perfect removal of a top layer. Usually, the energy density of a laser beam is set up so that the slot cut may become larger enough than upper transparent layer thickness. When a stratum lucidum contains the electrode address line, it is guaranteed that the address line is defined clearly and insulated electrically by this.

[0118] Writing is performed by moving a laser beam to the material written in. It is carried out by laying the material which should be written in relatively [ laser beam ] much more advantageous on xy coordinate table which can move.

[0119] In order to write in the address line, the table which can move in the x directions (at right angles [ Namely, ] to the address line written in) is advantageous, and a laser beam is movable along the direction of y, i.e., the address line.

[0120] The material which is evaporated or is decomposed during laser writing is removable from the material written in with the vacuum established near the laser beam.

[0121] The film 24 of the advantageous EL lamination 10 by this invention and indium oxide tin is put on the phosphorus layer 22 by the well-known method. The method of putting the vacuum covering method for putting ITO or ITO is shown in the U.S. Pat. No. 4568578 official report and the No. 4849252 official report. The oxidization tin doped by fluorine in material other than ITO can also be used. A transparent dielectric layer can be optically prepared among the layers 24 and 22 which are not taken ITO. The sol gel layer 20 and the thick-film-dielectrics layer of a provincial accent niobium with advantageous PZT are prepared in the bottom of a phosphorus layer. The EL lamination 10 is formed by the sequence contrary to conventional TFEL equipment as mentioned above. This leaves like the former the ITO layer 24 and the phosphorus layer 22 which are suitable for the laser writing by this invention as a stratum lucidum of the upper layer 18 and 20 top of a lower opaque dielectric.

[0122] Each line address line 24 is written in by laser as mentioned above. The sol gel layer 20 reaches in part at least, and a laser beam removes few portions of the dielectric

layer 18 of a thick lower part directly, and removes ITO and the phosphorus layers 24 and 22 indirectly covering those thickness. This leaves the insulating gap which can trust it between the adjacent address lines.

[0123] The line address line 24 is connected to the above-mentioned drive circuit. In detail, of above-mentioned advantageous penetration hole connection, when the electric interconnection 46 carries out the vacuum evaporation of the silver by the pattern shown by) and drawing 10 in advance of (laser writing, it is formed in the position which laps with a part of ITO layer which finally forms the address line.

[0124] Next, the address line is written in as mentioned above.

[0125] Completed EL lamination can carry out a seal as mentioned above carrying out the spray of the polymer seal for protection on a front visible side, or by pasting up a glass plate on a front front face.

[0126] Two or more advantages are acquired by using indirect punching for writing in a transparent conductor material. Not the ultraviolet-rays pulse laser that has a high instant output but the connection wave laser of the remarkable low energy which sends out the light in a visible region can be used. This laser not only can reduce cost, but forms the still smoother line on deleted slitting. This is remarkably [ because of EL display of high resolution ] important. Direct punching of a transparent material needs the remarkable high instant laser energy which sends out energy required for punching in sufficiently short time to prevent [ in which heat spreads ] from the field where punching is performed. the attempt in the conventional technology for punching directly the transparent conductor prepared on a transparent substrate -- setting -- laser energy -- very -- an element -- the great portion of; light directly supplied by transparent conductor material passes both transparent layers In many cases, indirect punching minimizes the trouble of the counter diffusion between layers. The heat for a stratum lucidum making it evaporate is because it is generated from the bottom of a stratum lucidum. This promotes not diffusion of the material to the inside of a lower layer but the removal to the exterior of material punched. This is important in order to maintain the quality of the dielectric layer in EL display, and a phosphorus layer.

[0127] this invention is further shown by the following deformation examples.

[0128] an example 1 -- that this example prints simply the thick-film layer (material used as a ceramic sheet in reference besides Miyata) of a barium titanate shows that it is influenced by electronic breakdown under conditions

[0129] Single 1-pixel electroluminescence devices were formed on the alumina substrate (5cm 0.1cm in square, thickness) obtained from a Coors ceramic (Grand Junction, Colorado, U.S.A). On a substrate, from an edge, a back plate layer is detached and is contacted in the center. the material used -- silver/platinum -- it is a conductor This is printed as the address line like before in electronics. In detail, Cermalloy#C4747 (it is available from Cermalloy, Conshohocken, and Pa) was screen-stenciled as a thick film paste by the mesh stainless-steel screen of 320, and was coated with the sensitization agent. This sensitization agent was irradiated by ultraviolet rays through the photo mask. The purpose is for exposing the field of the sensitization agent maintained for the print. The sensitization agent which was not exposed was melted with water and removed. A paste is printed by this part through a screen. Next, the remaining sensitization agents were further hardened by additional optical irradiation. It dried for several minutes in the 150-degree C furnace, and the printed paste was heated in air in the BTU model TFF142-

790A24 belt furnace by the temperature profiles recommended by this paste maker. The maximum process temperature was 850 degrees C. The thickness from which the heated electrode conductor layer was obtained was about 9 microns.

[0130] A dielectric layer is formed as follows on this electrode layer. A barium titanate (available [ from ESL#4520-Electroscience Laboratories, King of Prussia, and Pennsylvania ], dielectric constant 2500-3000) is printed on the pattern of a square form through a 200-mesh screen. Consequently, all were covered except for the electric contact pad in the line of an electrode. The printed dielectric paste was heated in the air in a BTU furnace by the temperature profiles recommended by the manufacturer (the 900 to 1000 degree C maximum temperature). The thickness of the obtained dielectric which was heated is in the range of 12-15 microns. Next, the 2nd and the 3rd layer of a dielectric were printed and heated on the 1st layer by the same method. The thickness with which three dielectric layers printed and sintered were combined is 40-50 microns.

[0131] The phosphorus layer was directly put by the well-known thin film technology on the dielectric layer. In detail, a layer with a thickness [ of the copper sulfide doped by one mole percent of manganese ] of 0.5 microns is UHV. Instruments Model Vacuum evaporation is carried out on a dielectric layer using 6000 electron-beam-evaporation equipment. These layers are heated under a vacuum in vacuum evaporation equipment, and are maintained at the temperature of 150 degrees C in about 2 minutes and during vacuum evaporation.

[0132] A phosphorus layer is coated with the 0.5-micron layer of the transparent electric conductor which consists of indium oxide tin. This layer is put on the detail put by well-known thin film covering technology under a vacuum at 400 degrees C using electron-beam-evaporation equipment.

[0133] Next, a lamination is 450 degrees C for 15 minutes in air, is the purpose which anneals an oxidation phosphorus indium conductor layer, and is processed. An indium brazing-and-soldering point is prepared in an ITO layer. The seal of this element is carried out by the silicon sealant (Silicone Resin Clear Lacquer and cat.#419.M.G.Chemicals).

[0134] This element is examined by applying DC voltage between two electrodes. It is observed whether this element applies the voltage made to raw-\*\* electronic breakdown of the dielectric layer in the field near direct [ of the contact to indium oxide tin ], and stops whether functioning or not.

[0135] It is presumed that failure of this element arose in order not to form the smooth front face for which a dielectric layer is needed for a phosphorus layer. A minute crack may be observed on a front face. However, this may originate in existence of the material acting as the obstacle under commercial dielectric paste. Therefore, titanate barium is not the index which shows that it cannot be used as the single by this invention, or 1st dielectric layer.

[0136] an example 2 -- this example -- provincial accent niobate - although, as for this material, the screen printing dielectric layer which consists of the paste containing - by which having a dielectric constant higher than a barium titanate and low sintering temperature is known gives a suitable dielectric constant, not carrying out luminescence is shown

[0137] An element is similarly constituted in an example 1. However, it has the dielectric layer which consists of a dielectric paste of a niobate, and Cermalloy#IP9333 (about 3500

thickness of a dielectric constant is the same as that of an example 1). When were tested and DC voltage 400V were added, dielectric dielectric breakdown did not produce this element. However, light was not emitted even if it applied AC voltage.

[0138] Not emitting light originates in the problem of the compatibility in connection with a phosphorus layer. This should not consider as the index which shows that a provincial accent niobate cannot use it as the single by this invention, or 1st dielectric layer.

[0139] This example shows the two-layer dielectric constituted by this invention. That is, they are the 1st dielectric layer (like in the 2nd example) of a provincial accent niobate, and the 2nd dielectric layer of provincial accent zirconate. Desired luminescence was attained.

[0140] The same element is constituted also in an example 2. However, it becomes blunt using a sol gel process, and to the dielectric layer which the layer of zirconate (PZT) was printed and was heated, before a phosphorus layer is put, it has the additional step made to cover. The sol was prepared as follows. An acetic acid is dehydrated for 5 minutes at 105 degrees C. Melting of the 12g of the acetic-acid provincial accents was carried out into 7ml of the dehydrated 80-degree acid in order to form a colorless solution. It was cooled, and this solution was mixed into the solution in order for a 5.54g propoxy-ized zirconium to form the solution of blue yellow. This solution was left by 60 degrees - 80 degrees as it was for 5 minutes, and while 2.18g isopropoxy-ized titanium agitated after that, it was added. The produced solution remains. It was agitated all over the ultrasonic bus in order to guarantee that a solute fuses. Next, the solution of 4:2:1 of 1.75ml ethylene glycol, propanol, and water was added in order to form a stable sol. Before further much ethylene glycol's coating, it was added to the value of the request for spin coating or dipping in order to adjust viscosity. Rotation coating was carried out or dipping of the prepared dielectric layer was carried out by the sol. In rotation coating, the sol was drop-ized on the 1st dielectric layer under rotation by 3000rpm in the level surface. In the case of dipping, the viscous higher sol was used. The substrate was able to pull up from the sol the speed for 5cm/because of the dipping process. Next, the obtained assembly which was coated was heated in the air in a furnace for 30 minutes at the temperature of 600 degrees C in order to change a sol to PZT. PZT layer thickness was about 2-3 microns. It was observed that the front face of a PZT layer is more remarkably [ than the front face of the 1st dielectric layer screen-stenciled and sintered ] smooth.

[0141] A phosphorus layer and a stratum lucidum are put as in an example 1 following covering of a PZT layer.

[0142] By the luminescence - voltage characteristic, rather than analogous or it, the completed lamination is a good property and was manufactured by the property reported by Miyata etc. The threshold voltage for the minimum brightness for a display was 110V. a threshold (namely, 160V, 60Hz) -- the upper -- the luminescence luminous intensity in \*\*\*\*\* 50V was a 57 foot run bail

[0143] In this example, the change in the thickness of a dielectric layer affects operating voltage and the brightness of a display.

[0144] The display was constituted as in an example 3. As for a different point, only not three but two screen-stenciled dielectric layers were put. The thickness of the 1st dielectric layer was reduced to 25-30 microns according to it.

[0145] The threshold voltage for the minimum brightness was expected from

consideration with theoretical 70V (it sets in the example 3 and they are 110 candle powers). Brightness [ in / \*\*\*\*\* 50V / a top / for a threshold ] was also reduced to the 35 foot run bail (57 candle-power foot run bail, example 3).

[0146] an example 5 -- this example shows the advantageous example which connects the low of EL lamination, and a line address line to the drive circuit which used the through hole

[0147] EL display in which addressing is possible is constituted using the same sequence of layer covering shown in the example 3. The substrate was the alumina of a rectangle with a thickness of 0.025 inches. This alumina is Coors which has a size with a width of face of 2 inches in a length inch. Ceramics (Grand Junction, Colorado, U.S.A) Shell acquisition was carried out. A substrate is the pattern shown in drawing 4 , and the penetration hole with a diameter of 0.006 inches was opened using the carbon dioxide gas laser. A substrate is the purpose which guarantees that all holes are clear, and was inspected. In the side by which the hole faces laser, it turns out that a diameter is about 0.008 inches and is about 0.006 inches in an opposite side. The side which has the hole of the larger one is the purpose which easy-izes inserting an electrical conducting material into a penetration hole, and was selected by the background of a substrate.

[0148] The circuit pattern which could come, and was alike, then was shown in drawing 5 was printed by the mesh stainless steel stainless-steel screen of 325 using the Cermalloy#4740 silver platinum paste. this print -- in process, the alignment of the substrate is carried out to the master plate which has the 0.040 inches hole which was able to be opened by the same pattern as having been shown in drawing 4 , and in order to pull out an electric conduction pace through the penetration hole in a substrate further, a vacuum is added to the whole surface namely, -- from the space side of a substrate -- seeing -- under a master plate This step formed the circuit pattern of drawing 5 with the track which passes along each of the penetration hole in a substrate. A vacuum is added for the first time since a substrate is printed in order to guarantee the uniformity in vacuous impression. This portion guarantees filling up with a penetration hole.

[0149] A substrate is heated in the BTU model TFF 142-790A24 by the temperature profiles advanced by the paste manufacturer following a print. The maximum temperature was 850 degrees C.

[0150] The circuit reinforcement pattern shown in drawing 7 is printed following this step, and the circuit background of a substrate is heated (using the same Cermalloy electric conduction paste). This step makes this circuit pattern thicker in the predetermined field to which electrical connection should be made substantially.

[0151] Next, the train and line connector pad of the train address line and an anterior were screen-stenciled on the anterior of a substrate. The line extended to the train connector pad shown in drawing 6 covering the length of a substrate. The line connector pad shown in drawing 5 is printed in this same step. The train address line and the connector pad were formed from the same electric conduction paste (Cermalloy#4740) using the same print conditions and heating conditions. The position law of the substrate was carried out by the penetration hole of drawing 4 on the same master plate, and it was added from the bottom in order for a vacuum to pull out an electric conduction paste to the background of a substrate through a penetration hole. The heated electrode layer thickness was about 8 micrometers. 52 address lines were formed per inch and the number of all the address lines was 68 further. As for this portion, inspection was made [

filling up with a penetration hole, and ] in order to guarantee.

[0152] As shown in the example 3, it was printed and the dielectric paste (Cermalloy#IP9333) of three layers was heated, in order for thickness to form about 50-micrometer dielectric layer.

[0153] Next, the seal of the circuit background of a substrate was carried out. Screen printing of the thick-film glass paste (HeraeusIP9028, Heraeus-Cermalloy, Conshohocken, product made from Pa) was carried out using the 250-mesh screen by the pattern shown in drawing 8 . The connector pad for attaining to a high-voltage drive chip and connecting with other drive circuits was not covered. Next, the glass-seal layer was heated using the temperature profiles recommended by the manufacturer at the temperature whose highest is 700 degrees C in a BTU belt furnace.

[0154] the purpose to which a substrate avoids contact between the material on which it was printed on the circuit side, and the belt of a furnace during the above-mentioned heating -- ceramic material -- it was supported on the member

[0155] A sol gel layer is substantially formed of being immersed, as stated to the example 3. Three or four sol gel layers are used typically. For example, it is had and used at the ten to 25 sec/inch pooling rate from the mixture which has the viscosity of about 100 cP(s) measured by the falling ball viscometer. Between immersing layers, sol gel is dried for 10 minutes at 110 degrees C. A vacuum chuck covers the active field of a lamination, and a line crack and sol gel remove the remaining fields, and are rinsed. The layer concerned is sintered for 25 minutes at about 660 degrees C in a belt furnace after that. It is attained while the thickness of the whole sol gel is 3-10 micrometers by this. This is succeeded by the phosphorescence layer of the example 3 for which it was doped with 1% of manganese, and zinc sulfide with a thickness of 0.5-1.0 micrometers was used.

[0156] As the line of an address line was mentioned already in the example 3, it adheres to an indium-tin-oxide (the pattern is shown in drawing 9 ). The line of the address line of about 52 exists for every inch, and, on the whole, it becomes the line of 256 there. The interval between lines is 0.001 inches and line width of face is 0.019 inches (center to center).

[0157] The vacuum evaporation of the silver is carried out on a substrate through a hole conductor through a shadow mask for electrical installation formation of the line of the address line to a line connector pad like the pattern shown in drawing 10 .

[0158] The seal of the front face whose lamination is visible is carried out by the silicon sealant. This silicon sealant is continued and sprayed on the whole front face of a display. The silicon resin clear lacquer of M.G. KEMIKARU and Cat#419 are used for this sealant.

[0159] The whole display is inspected by connection with the pulse generator which crosses the pair of the train on the circuit established in the posterior of a substrate, and the pad of a line, and supplies the square wave signal of 60Hz160V. Each pixel of a display is the same consistent intensity as what was measured in the example 3 when voltage is supplied based on individual lighting. The pixel which is functionally with obstacles is found out of all the pixels of 17408.

[0160] an example 6 -- the advantageous example of laser in which scribing of the indium-tin-oxide-address line of EL lamination of this invention is carried out is shown by this example

[0161] The matrix display which can be called in the address is constituted on the

ceramic substrate used in the following processes. This ceramic substrate is 0.025 inches and thickness is a length of 6 inches, those [ with a width of face of 2 inches ] with an alumina rectangle object, and Coors. It is obtained from Ceramics (Grand Junction, Colorado, U.S.A). A hole with a diameter of 0.006 inches can open in this substrate using carbon deoxy DOREZA. This pattern is shown in drawing 4 . The part is inspected in order to guarantee that all these holes have penetrated.

[0162] The circuit pattern shown in drawing 5 following this step is printed by the stainless steel screen of the network of 325 (a Cermalloy(Conshohocken Pnnsylvania, U.S.A) #4740 silver platinum paste is used for this screen). A substrate is arranged by the master plate between print process. This master plate has the 0.04 inches hole which was able to be opened during the print by the same pattern as the substrate for making supply of a vacuum in a substrate hole easy. A vacuum absorbs a paste through a hole, in order to make easy formation of the conductive path which passes along a ceramic substrate after a part of sintering. This part is had and sintered by the temperature data of 850 degrees C which the paste manufacturer recommends in a BTU model TFF142-790A24 belt furnace in the atmosphere, i.e., the maximum temperature. The circuit reinforcement pattern shown in drawing 7 is printed following this step, and it is sintered at the circuit side of substrate back (the same thing as the above-mentioned "Cellmaloy" conductivity paste is used also here). This step makes a comparatively thick circuit pattern produce in the positive field to which electrical installation is made after that.

[0163] It can come, and is alike, then the set and connector pad of an address line train are printed on the front face whose substrate is visible. These lines have extended even to the connector pad along with the overall length of a substrate ( drawing 6 ). The line of a connector pad is formed in this step ( drawing 6 ). An address line train and a column connector pad train are formed from the same silver platinum paste used in the state of the same print and sintering. The substrate is located on the same master plate which has the penetration hole of drawing 4 . A vacuum is supplied in order to extrude a conductive paste towards the posterior of a substrate through a penetration hole from a lower part. The sintered electrode layer thickness is about 8 micrometers. The address line of 52 exists for every inch, and the total of an address line is 68.

[0164] It has three layers next to lead and a niobate dielectric paste (Cermalloy#IP9333) in the temperature condition (the maximum temperature of 850 degrees C) which is printed after that and recommended in belt fur NANSU in the manufacturer, and they are sintered by the upper part of an address line train. The joint thickness of a dielectric layer is 50 micrometers.

[0165] Based on the example 5 the pattern is indicated to be to drawing 8 , the seal of the circuit side of substrate back is carried out following this step.

[0166] Next, in order to form a smooth front face, it adheres to the layer of lead, zirconate, and titanate with a thickness of 3-10 micrometers (PZT) on lead and a niobate dielectric paste. It is used based on an example 5 and the immersed sol gel technology is used. a thin film-like phosphorescence layer -- electromagnetism -- it adheres by evaporation of the well-known method using the beam A phosphorescence layer is the zinc sulfate had and doped from 1% of manganese. This covers the thickness between 0.5-1 micrometer, and it adheres to it.

[0167] the following step -- the layer with a thickness of 300nm of an indium and a stannic-acid ghost (ITO) -- the electromagnetism of a well-known method -- it is making

it adhere on the phosphorescence layer for which beam evaporation was used  
[0168] This ITO layer is 2 watt(s) of the Ar ion laser reversed by the wavelength of 514.5nm. It is patternized to the address line of 256 using CW (continuous wave length). EL lamination is attached on a movable X-axis table. This X-axis table moves a lamination perpendicularly to the line by which scribing is carried out by the laser beam. A laser beam is moved to Y shaft orientations, in order to carry out scribing of the line. It converges a laser beam on the spot of 12 micrometers, and a laser output is adjusted as follows. That is, it is adjusted so that about 10% of the dielectric layer by which it was combined with the indium and the stannic-acid ghost, and the phosphorescence layer under it under it may be removed in the part where the laser beam of (about 1.8W) was scanned. A scan speed sets the gap of about 40 micrometers or 25 micrometers, respectively, and in order to have in a depth of 6-8 micrometers or 3-4 micrometers and to prepare an address line, it is controlled by about 100 mm/sec and 500 mm/sec. The interval between address lines (for example, between line centers) is about 500 micrometers. The vacuum near the substrate stops evaporation and removal of material. Removal is completely performed at once as the pattern of a transparency electrode is shown in drawing 9 . On [ all ] a display, the line of the address line of about 50 exists for every inch, and the column of 256 exists on the whole.

[0169] Before scribing of the ITO column line is carried out, it screen-stencils from silver through a shadow mask as the silver and the internal connection section between a front (line) connector pad and the first ITO address line are shown in the pattern view of drawing 10 .

[0170] The front view side of all displays has a protection polymer coating agent sprayed after laser scribing (MG chemical \*\* silicon lysine clear lacquer, cat#419).

[0171] The voltage which crosses the pixel by which post selection was carried out is supplied to a display by connection with a pulse-power feed zone, and it is inspected. This pulse-power feed zone supplies the pulse voltage of 160V by the 64Hz repetition frequency. It has each pixel by the luminous intensity which \*\*\*\*s to the single pixel equipment of the aforementioned example, and it is turned on certainly.

[0172] According to the address line of the example concerned, a thing more advanced than what is obtained according to photolithography technical form is obtained fundamentally.

[0173] In the example of a type of the equipment which may actually be used, the width of face of an ITO address line is 180-205 micrometers, and the gap between lines is 65-80 micrometers. The aforementioned thing is left, and according to this invention, the gap of 25 micrometers and 40 micrometers is made to arise depending on the scan speed of laser. Such a high solution means takes into consideration the comparatively high ratio of an active field to the whole display. It is because a comparatively wide ITO address line may be used about a comparatively small gap.

[0174] an example 7 -- this example is expressed with two layers constituted in dielectricity according to this invention However, in this example, the first dielectric layer is formed from the high paste of a dielectric constant rather than the paste used in the aforementioned examples 3 and 4.

[0175] Although this equipment leaves and consists of 3 of the aforementioned example, the 1st dielectric layer is formed from lead and a niobate paste. This paste is obtained from an electrochemistry experiment as a high capacitance paste K using a number 4210.

The sintered paste has about 10000 dielectric constant. The first dielectric layer has the thickness of about 50micro. As indicated by the example 3, the thickness of about 5micro is applied to the sol gel layer of PTZ.

[0176] To the minimum brightness, by the luminous intensity of a 50 foot Lambert, it has this equipment and it functions by the threshold voltage of 91V, and 150V.

[0177] an example 8 -- this example is expressed with two layers constituted in dielectricity In this case, the 1st dielectric layer is formed with lead and a niobate paste, and the 2nd dielectric layer is formed from lead, lanthanum zirconate, and a titanate paste (PLZT). This PLZT has about 1000 dielectric constant. In this PLZT, the mass ratio of a zirconium:titanium:lanthanum is 52:32:16.

[0178] The equipment constituted as what leaves an example 3 has the sol gel layer generated as follows.

[0179] 120g of lead acetate of 99.5% of purity is dissolved into a 50ml glacial acetic acid. This solution is heated to 90 degrees C. Before being cooled to 70 degrees C after that, it is held at this temperature for 2 minutes. Next, 55.4g zirconium PUROPOKI seed is added, this solution is heated to 80 degrees C, and it holds for 1 minute at this temperature. After being cooled to 70 degrees C, 21.8g of titanium isopropoxide is added. Next, 11.4g of lanthanum nitrates is dissolved by the 20ml glacial acetic acid, and it adds to the aforementioned solution. In order to stabilize this solution finally and to adjust viscosity to a conformity value, they are ethylene glycol 10ml and propane-2ol. 5ml and 2.5ml of desalted water are added, respectively.

[0180] A PLZT sol gel layer is used for the first dielectric layer formed of being immersed by what indicated by the aforementioned example 3, and the analogous means. Since the immersed portion makes it convert into the 2nd layer to PLZT, it is had and sintered by it at 600 degrees C. It is used by above continuous being immersed and sintering in order that four layers of PLZT may create the front face smooth enough for adhesion of a phosphorescence layer. The thickness of 5micro is obtained on the whole.

[0181] By the threshold voltage of 75V, and 150V, by the luminous intensity of a 37 foot Lambert, it has this equipment and it functions.

[0182] All publications that have so far made reference show the special technical level of form of requiring the skill related to this invention. All publications are had and materialized by reference of the same range as the publication according to each being shown in detail and individually for reference to be made by the relation in here.

[0183] The special term and expression which were used in this specification are not for being used as a term for explanation and adding limitation. Moreover, it was not emphasized, either, so that that which \*\*\*\*s with the feature which was related with use of such a technical term and expression, and was illustrated and explained to until, and to which it came was excepted. It is said that the range of this invention is what is specified and limited in the claim to the last.

[0184]

[Effect of the Invention] The method of generating the improved electroluminescence lamination dielectric layer structure and this dielectric layer structure by this invention is offered.